

PCI系统体系结构简介

易祝兵

2007年05月07日

大纲

- 一、总线和PCI系统总线简介
- 二、PCI总线信号
- 三、PCI总线操作简介
- 四、PCI总线配置
- 五、PCI总线中断系统
- 六、PCI总线Memory和IO
- 七、PCI ROM
- 八、PCI to PCI桥

大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

一、总线和PCI系统总线简介

- 1、什么是总线？
- 2、总线分类
- 3、总线性能指标
- 4、例举你所知道的总线
- 5、PCI总线

1、什么是总线？

任何一个微处理器都要与一定数量的部件和外围设备连接，但如果将各部件和每一种外围设备都分别用一组线路与CPU直接连接，那么连线将会错综复杂，甚至难以实现。为了简化硬件电路设计、简化系统结构，常用一组线路，配置以适当的接口电路，与各部件和外围设备连接，这组共用的连接线路被称为总线。包括硬件和软件两个方面。

总线特性：

- (1) 物理特性：物理特性指总线物理连接的方式。
- (2) 功能特性：功能特性描述总线中每一根线的功能。
- (3) 电气特性：电气特性定义每一根线上信号的传送方向、有效电平范围。
- (4) 时间特性：时间特性定义每根线在什么时间有效，就是每根线的时序。

总线组成：

- (1) 数据线
- (2) 地址线
- (3) 控制线
- (4) 电源

2、总线分类

微机中总线一般有内部总线、系统总线和外部总线。内部总线是微机内部各外围芯片与处理器之间的总线，用于芯片一级的互连；而系统总线是微机中各插件板与系统板之间的总线，用于插件板一级的互连；外部总线则是微机和外部设备之间的总线，微机作为一种设备，通过该总线和其他设备进行信息与数据交换，它用于设备一级的互连。

另外，从广义上说，计算机通信方式可以分为并行通信和串行通信，相应的通信总线被称为并行总线和串行总线。

3、总线性能指标

1) 位宽

2) 频率

3) 带宽

4、例举你所知道的总线:.....

5、PCI总线

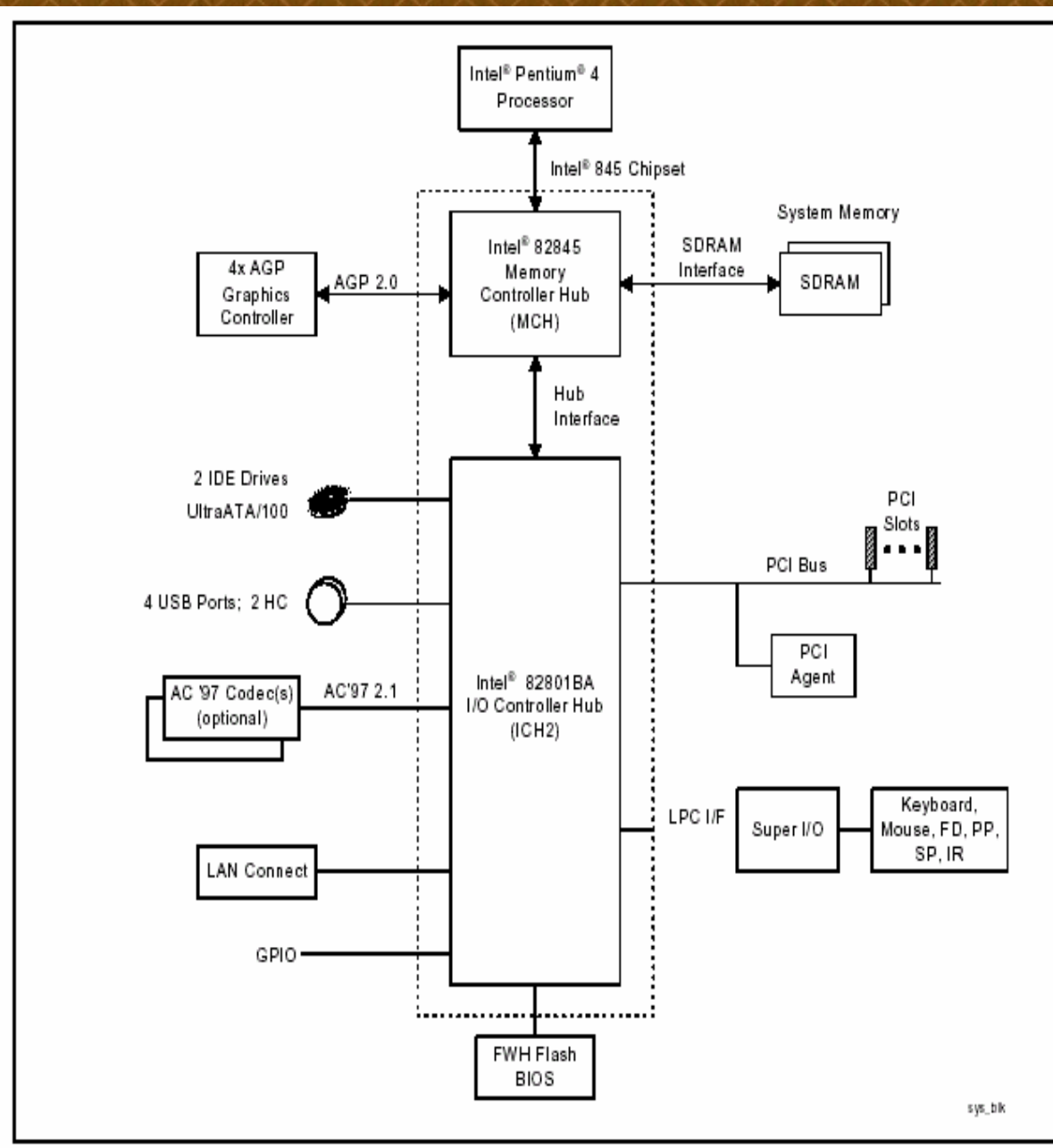
从1992年创立规范到如今，PCI总线已成为了事实上计算机的标准总线，当时是为了替代各种改头换面的ISA总线。PCI总线有32bit、64bit之分；从总线速度上分，有33MHz、66MHz两种。目前流行的是32bit @ 33MHz，传输速度最高可达132MB/s。如果没有特殊说明，以下的讨论以32bit @ 33MHz为例。

PCI总线技术规范1.0版由Intel公司1992年6月22日发布，现由一个工业厂商协会管理，称为PCI SIG。网址：

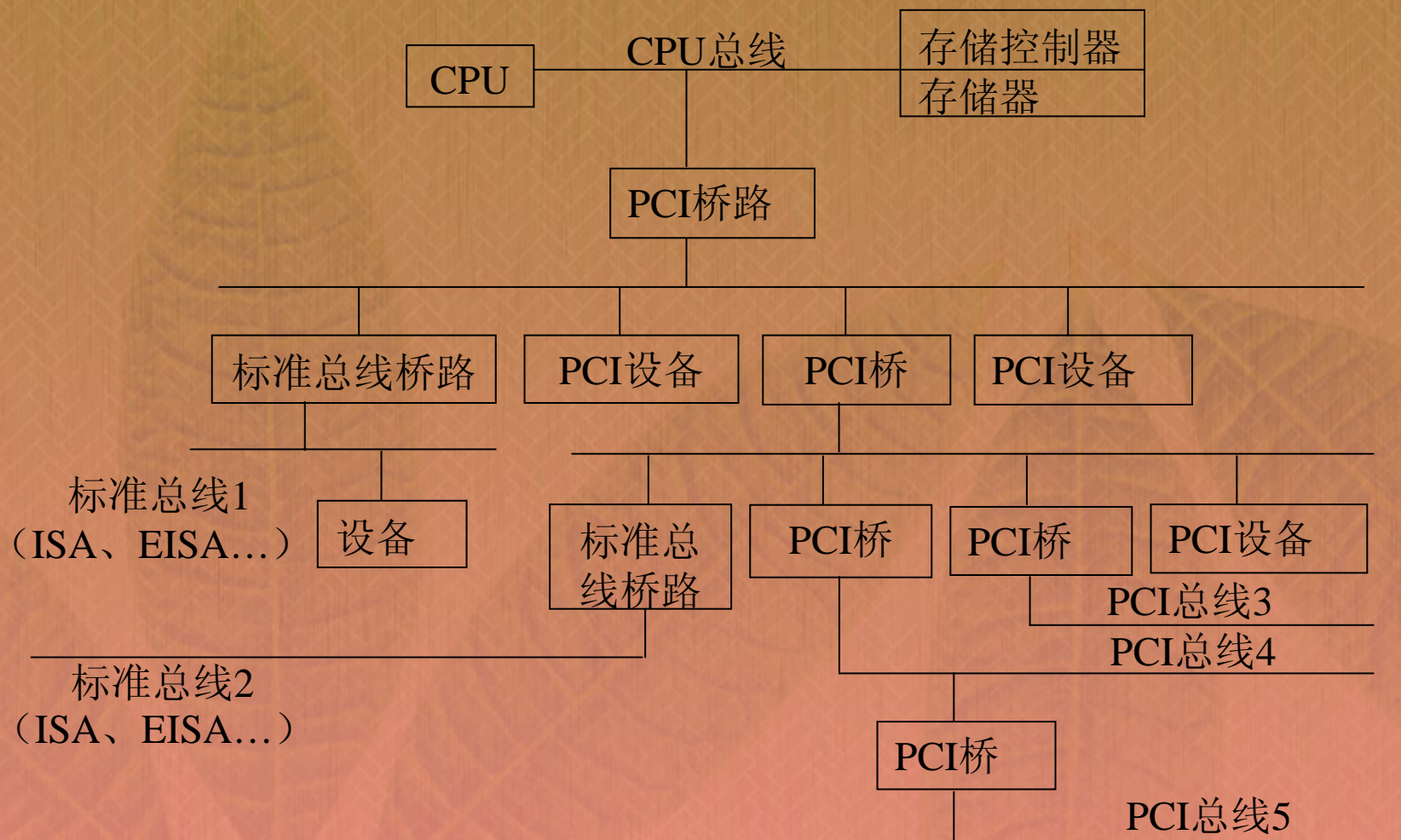
<http://www.pcisig.com>。

一个典型的基于PCI总线的计算机架构，如右图：

PCI总线的相关定义：
主设备，目标设备…



5、PCI总线拓扑



大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

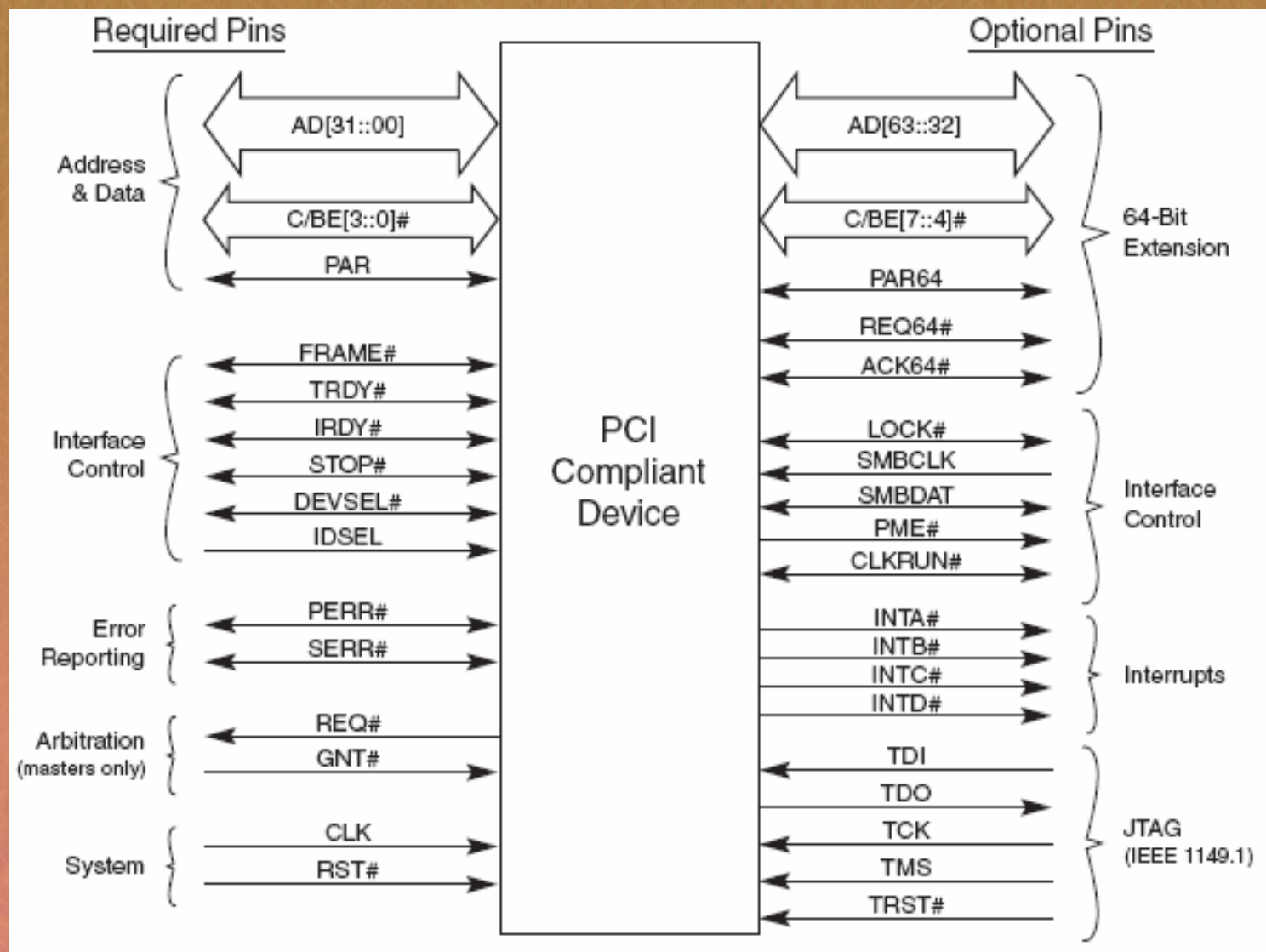
二、PCI总线信号

1、Pin脚定义

2、基础信号定义

3、信号介绍

1、Pin脚定义



2、基础信号定义

系统控制: CLK: PCI时钟, 上升沿有效

RST: Reset信号

传输控制: FRAME#: 标志传输开始与结束

IRDY#: Master可以传输数据的标志

DEVSEL#: 当Slave发现自己被寻址时置低应答

TRDY#: Slave可以传输数据的标志

STOP#: Slave主动结束传输数据的信号

IDSEL: 初始化设备选择信号

地址数据: AD[31::0]: 地址/数据分时复用总线

C/BE#[3::0]: 命令/字节使能信号

PAR: 奇偶校验信号

仲裁号: REQ#: Master用来请求总线使用权的信号

GNT#: Arbiter允许Master得到总线使用权的信号

错误报告: PERR#: 数据奇偶校验错

SERR#: 系统奇偶校验错

3、信号介绍

CLK信号:

时钟信号对驻留在PCI总线所有的设备来说都是输入信号,在时钟信号的上升采样PCI设备的所有输入(除了信号:RST#, INTA#, INTB#, INTC#, INTD#, PME#,CLKRUN#)。2.x规范定义,必须支持0MHz至33MHz范围的PCI操作。

RST信号:

在有效状态下,复位信号会将所有的PCI配置寄存器、主.目标状态机重置为初始状态。

CLKRUN#信号:

此信号是可选的,它是为移动环境而定义的。主要是为了节能。

AD总线, AD[31:0]:

在存储器或配置交易是分为4个字节的双字, 或在I/O读或写交易中是一个字节。

命令或字节使能, C/BE#[3:0]:

定义交易类型。

命令类型如右图:

奇偶校验信号, PAR:

用于错检测

C/BE[3::0]#	Command Type
0000	Interrupt Acknowledge
0001	Special Cycle
0010	I/O Read
0011	I/O Write
0100	Reserved
0101	Reserved
0110	Memory Read
0111	Memory Write
1000	Reserved
1001	Reserved
1010	Configuration Read
1011	Configuration Write
1100	Memory Read Multiple
1101	Dual Address Cycle
1110	Memory Read Line
1111	Memory Write and Invalidate

FRAME#:

周期帧信号，由当前主设备驱动，指明交易的起始和交易持续时间。为了确认是否取得总线所有权，主设备必须在PCI CLK信号的上升沿采样FRAME#和IRDY#都无效，以及GNT#有效。在当前主设备和当前寻址目标之间，一个交易（可包括多个数据传送）准备完成最后数据段时，FRAME#为无效。

IRDY#:

起动方准备信号，由当前总线主设备驱动。在完成一个读交

TRDY

目标设备驱动，数据段传输会处于等待状态，直到IRDY#和TRDY同时有效时。

STOP#信号

目标设备有效，以表明它希望主设备在进程中停上交易。

IDSEL

初始化设备选择信号，访问一个设备配置寄存器时，
作为一个芯片选择。

DEVSEL#

当目标译码它的地址时，使设备选择信号有效。如果一个主设备发起一个交易并且在6个PCI CLK周期内没有检测到DEVSEL#有效，它必须假定目标设备没有反应或者地址不存在，导致主设备失败。

仲裁信号

每个PCI主设备都有一对(REQ#、GNT#)仲裁信号连到PCI总线仲裁器上。当一个主设备请求使用PCI总线时,它会使连到仲裁器上的REQ#有效,仲裁器通过一定的优先算法,使某个正在请求的主设备GNT#有效。

中断请求信号:

必须产生服务请求的PCI设备可以利用中断请求线路:

INTA#~INTD#产生中断源,让CPU处理。在中断控制器部分,可以打开更先进的APIC中断控制方式来处理中断(可兼容PIC模式)。

错误报告信号:

PERR#与SERR#。

大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

三、PCI总线操作

- 1、总线操作过程
- 2、总线仲裁
- 3、写交易
- 4、读交易

1、总线操作过程

1). 总线请求和仲裁阶段

需要使用总线的主模块提出要求，由总线使用的仲裁机构确定，把下一个传输周期的总线使用权分配给哪一个请求源

2). 寻址阶段

取得使用权的主模块，通过地址总线发出本次要访问的从模块的存储器地址，或I/O端口地址及有关命令，让参与本次传输的从模块被选中并开始启动。

3). 传输阶段

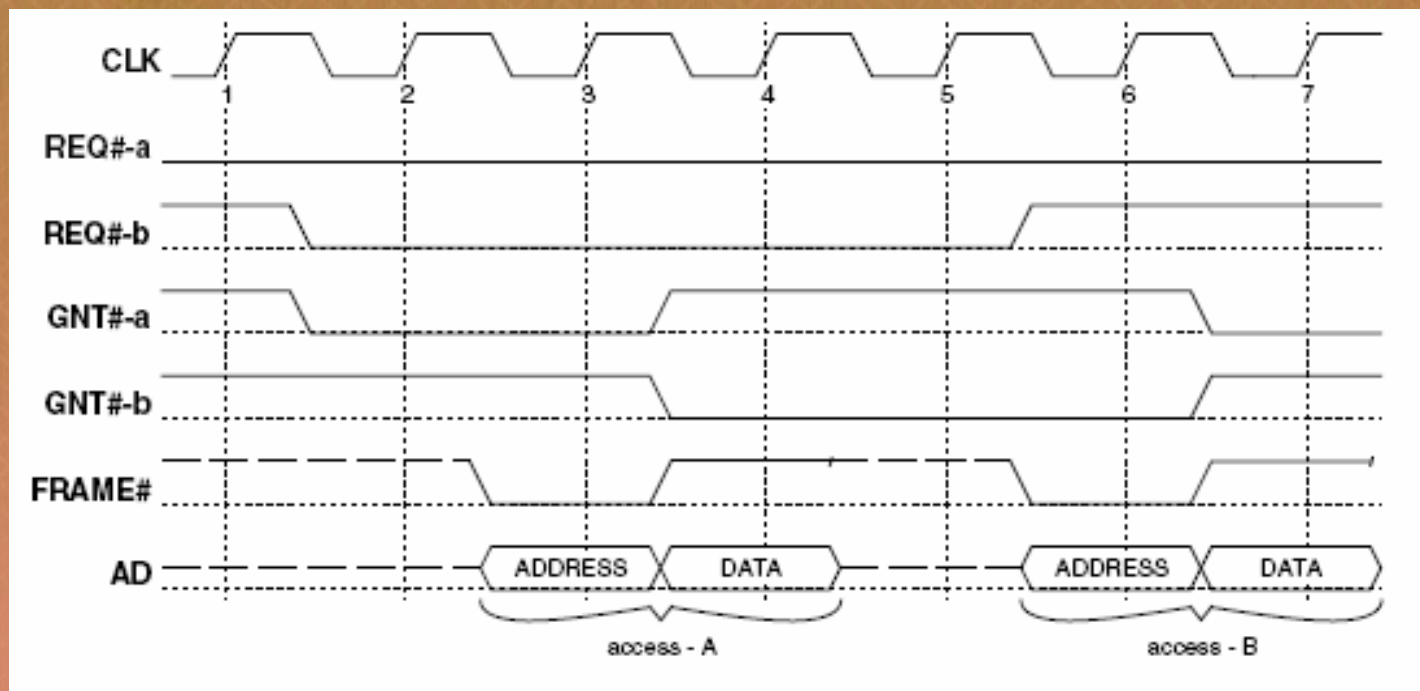
主模块和从模块进行数据交换，数据由源模块发出，经数据总线传送到目的模块。

4). 结束阶段

主、从模块的有关信息均从总线上撤除，让出总线，以便其他模块能继续使用。

2、总线仲裁

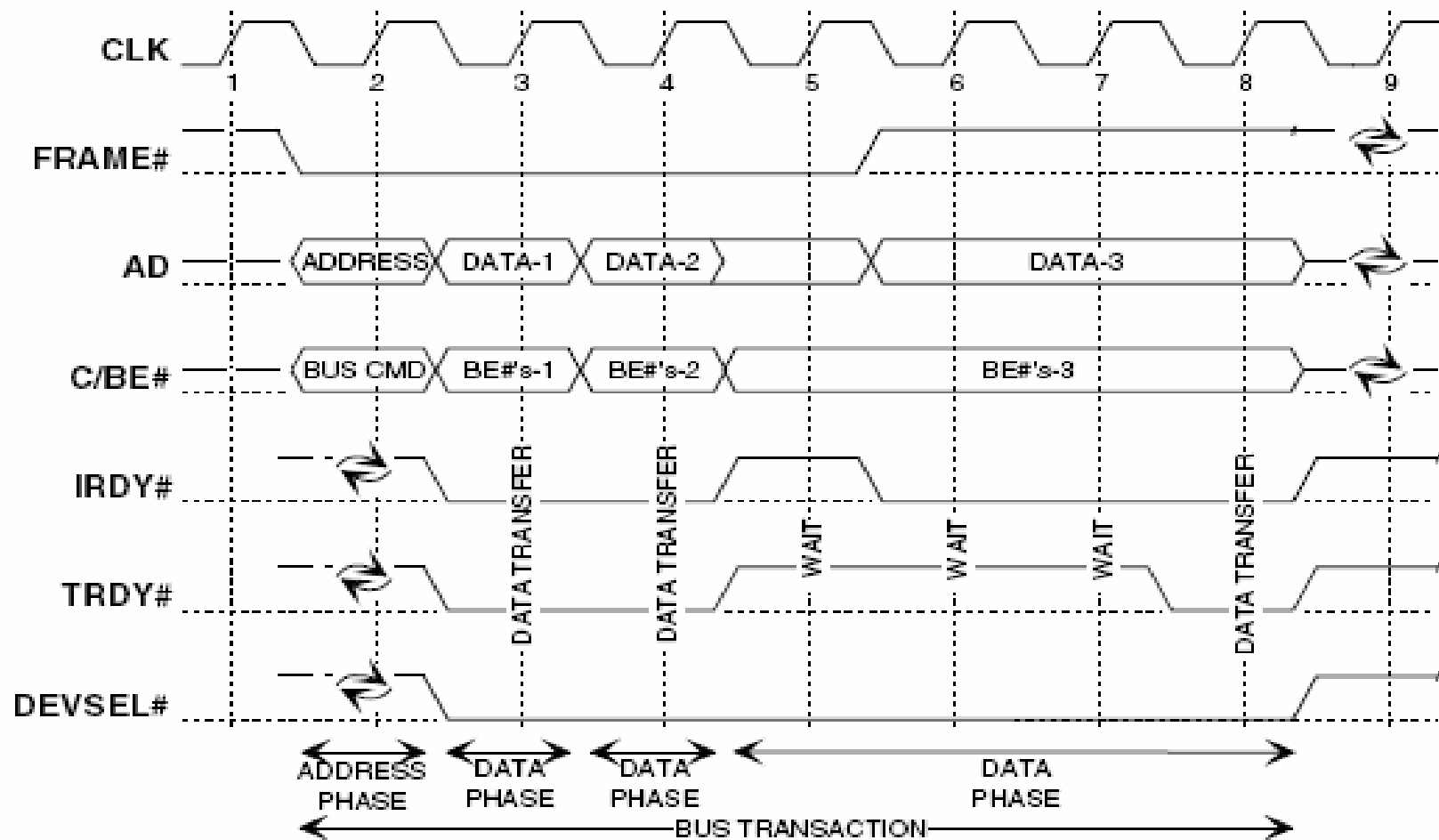
一次简单的仲裁，如下图：



其中,主设备A一直请求总线控制权,主设备B在第1个CLK之后,需要总线控制权,下拉REQ#-b,在第2个CLK被仲裁器采样,与主设备A竞争控制权。

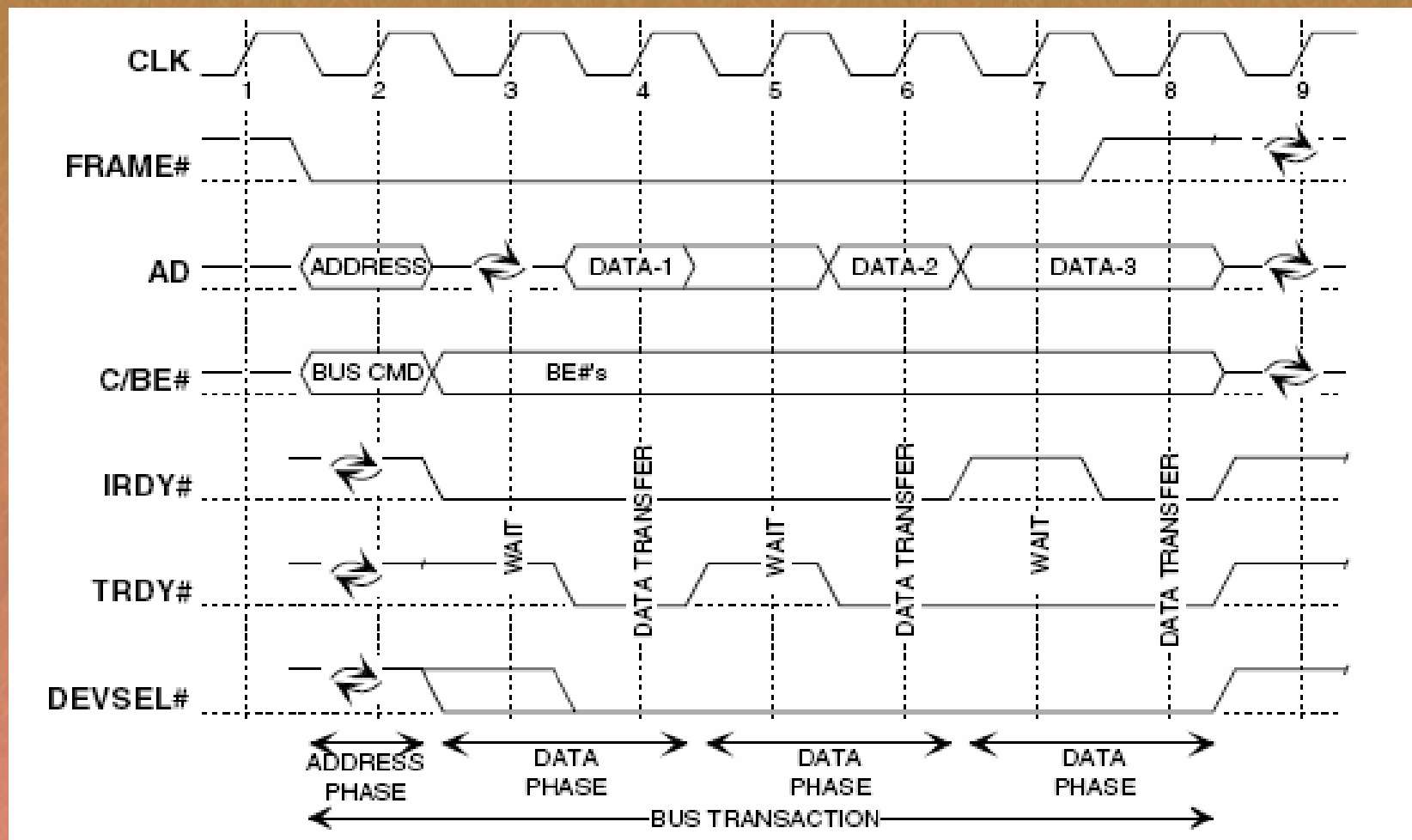
3、写交易

一次简单的写交易



4、读交易

一次简单的读交易



5、交易中可能出现的情况

重试？

中断？

失败？

单段传输？

突发传输？

快速背靠背？

大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

四、PCI总线配置

- 1、配置简介
- 2、PCI设备与PCI功能
- 3、三种地址空间
- 4、配置寄存器首部简介
- 5、配置交易的命令与PC机端口
- 6、配置交易类型
- 7、IDSEL
- 8、配置过程举例

1、配置简介

当机器第一次上电时，配置软件必须扫描系统中的不同总线，确定什么设备存在和它们有什么配置要求。为了实现这个扫描和配置过程，每个PCI功能必须实现由PCI规范定义的一组配置寄存器。

配置软件对PCI各功能配置寄存器进行配置，所产生的总线行为，称之为配交易。配置软件，进行扫描和配置这个过程，又称为总线枚举，PC机BIOS在POST过程中会有此动作。

2、PCI设备与PCI功能

物理PCI设备可以包含一个或多个独立的PCI功能(也称为PCI逻辑设备),最多8个。所以,PCI设备有多功能和单功能设备之分。

对于配置过程,设备的PCI功能可分为功能0到功能7,在多功能设备必须响应对功能0的配置访问。而附加的功能可以设计为功能1到7中的任何一个。

3、三种地址空间

1)、IO

2)、Memory

3)、配置

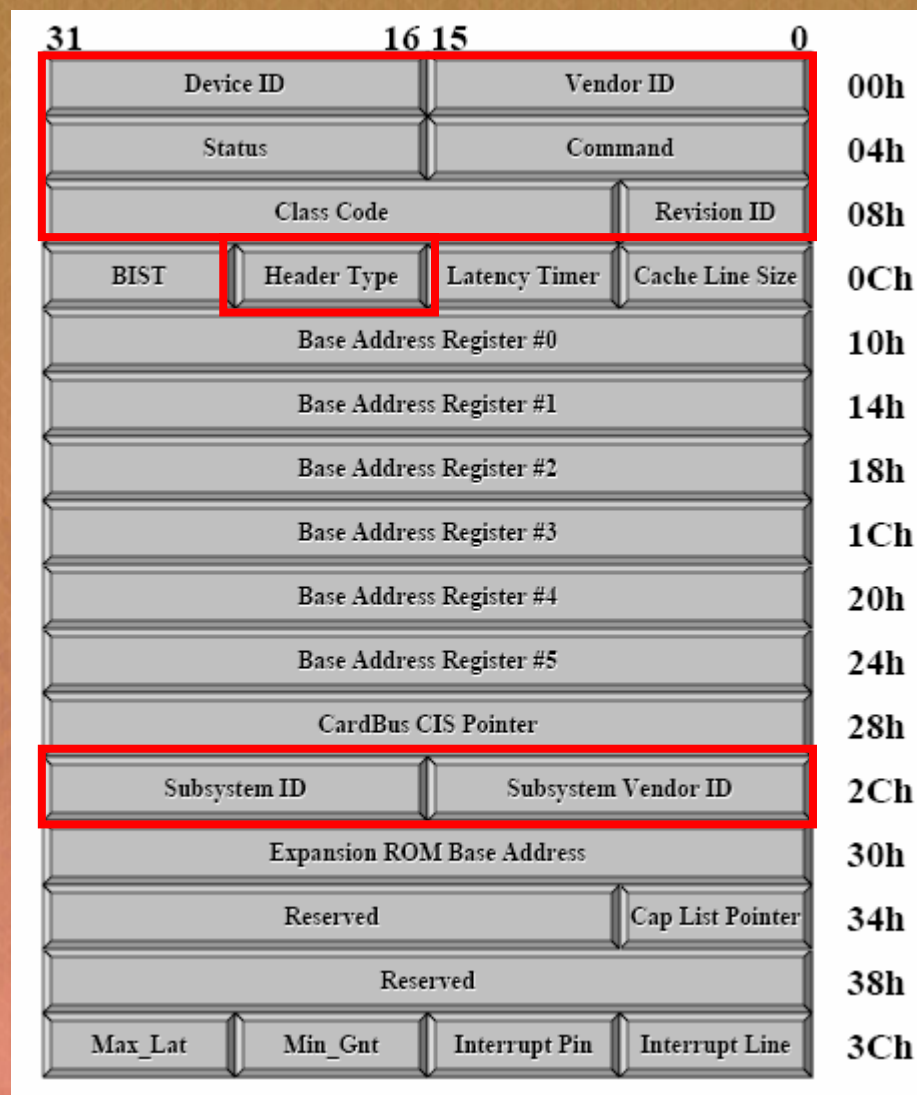
所有除主桥之外的设备功能，必须实现配置地址空间，这个区域的格式与用法由规范定义，大小为256 Bytes
目前定义了三种首部格式：

- a) 首部类型0，用于全部设备，非桥设备
- b) 首部类型1，用于PCI-PCI桥
- c) 首部类型2，用于Card Bus桥

4、配置寄存器首部简介

如右图：

为类型0的配置寄存器首部，其中红框内的寄存器，为强制性首部寄存，必须在每个PCI设备中实现，包括桥设备。



类型1:PCI桥的配置空间头部类型

红框内为PCI
桥必须实现的
寄存器,主桥
不需要实现配
置空间

31	24	23	16	15	8	7	0	
Device ID				Vendor ID				00h
Status				Command				04h
Class Code						Revision ID		08h
BIST	Header Type		Primary Latency Timer		Cacheline Size			0Ch
Base Address Register 0								10h
Base Address Register 1								14h
Secondary Latency Timer	Subordinate Bus Number		Secondary Bus Number		Primary Bus Number			18h
Secondary Status			I/O Limit		I/O Base			1Ch
Memory Limit			Memory Base					20h
Prefetchable Memory Limit				Prefetchable Memory Base				24h
Prefetchable Base Upper 32 Bits								28h
Prefetchable Limit Upper 32 Bits								2Ch
I/O Limit Upper 16 Bits				I/O Base Upper 16 Bits				30h
Reserved						Capabilities Pointer		34h
Expansion ROM Base Address								38h
Bridge Control				Interrupt Pin		Interrupt Line		3Ch

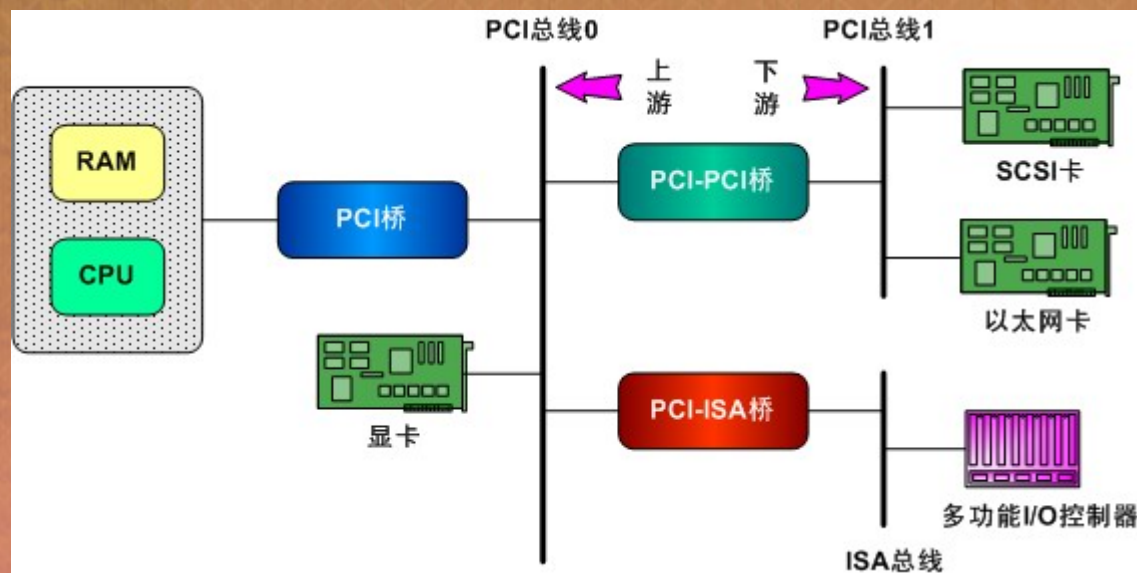
5、配置交易的命令与PC机端口

命令/字节使能, C/BE[3::0]
信号如右图, 如产生交易的
命令为红色框内的命令,
则产生配置交易。

C/BE[3::0]#	Command Type
0000	Interrupt Acknowledge
0001	Special Cycle
0010	I/O Read
0011	I/O Write
0100	Reserved
0101	Reserved
0110	Memory Read
0111	Memory Write
1000	Reserved
1001	Reserved
1010	Configuration Read
1011	Configuration Write
1100	Memory Read Multiple
1101	Dual Address Cycle
1110	Memory Read Line
1111	Memory Write and Invalidate

配置地址端口

目前, PC机采用了两个32位IO端口, 位于地址0CF8h和0CFCh, 其中 0CF8~0CFBh为配置地址数据端口, 0CFCh到0CFFh 32位配置数端口。

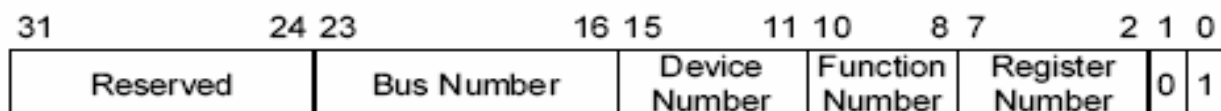


6、配置交易类型

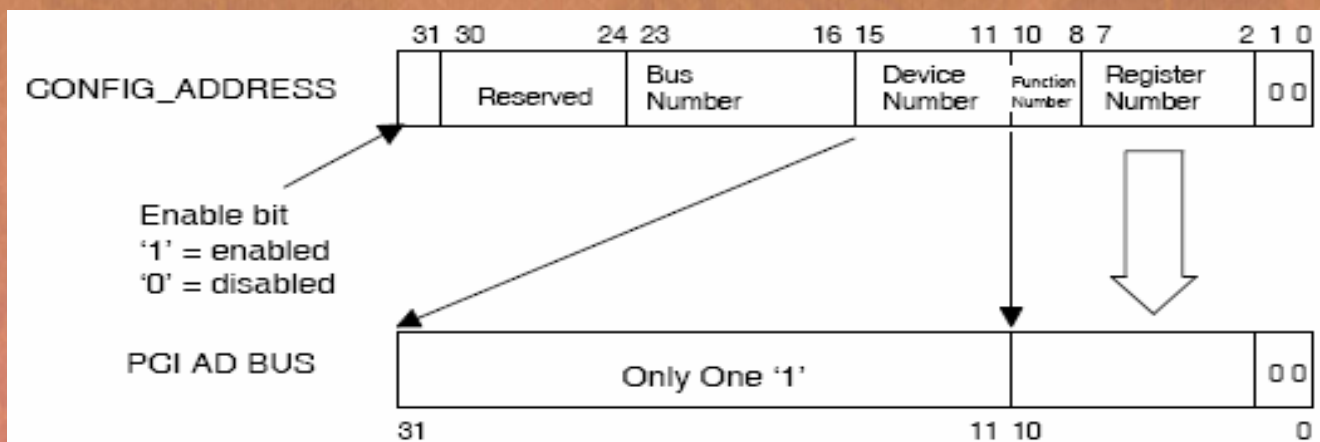
配置交易的两种类型



Type 0



Type 1

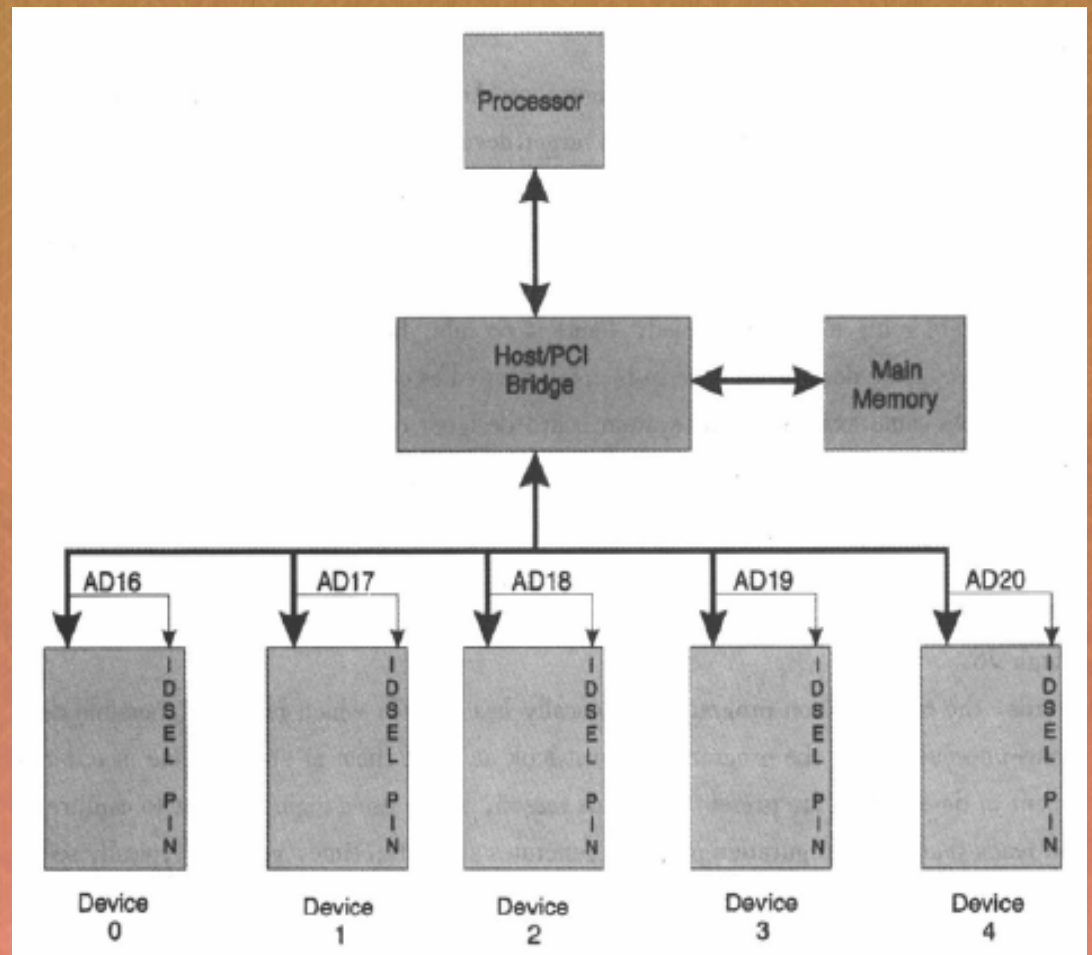


7、IDSEL

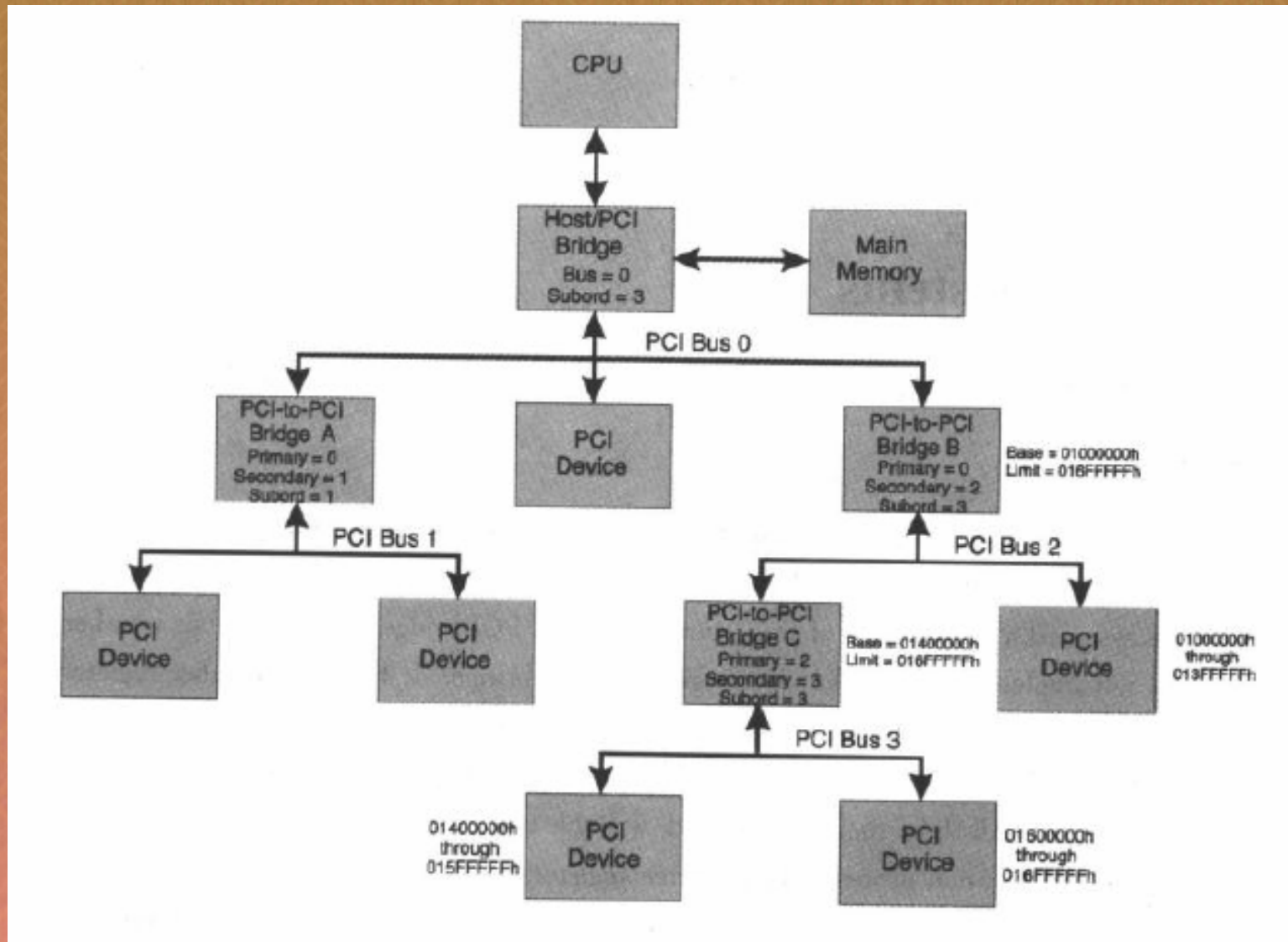
IDSEL是为了在计算机对PCI总线枚举时, 进行设备选择。设计IDSEL通常有两种方法:

1)、通过未用的AD线路由, PCI桥必须实现, 如右图:

2)、通过专门的IDSEL线路



8、配置过程举例



大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

五、PCI总线中断系统

- 1、什么是中断
- 2、x86中断系统
- 3、PIC中断系统
- 4、APIC
- 5、MSI

1、什么是中断

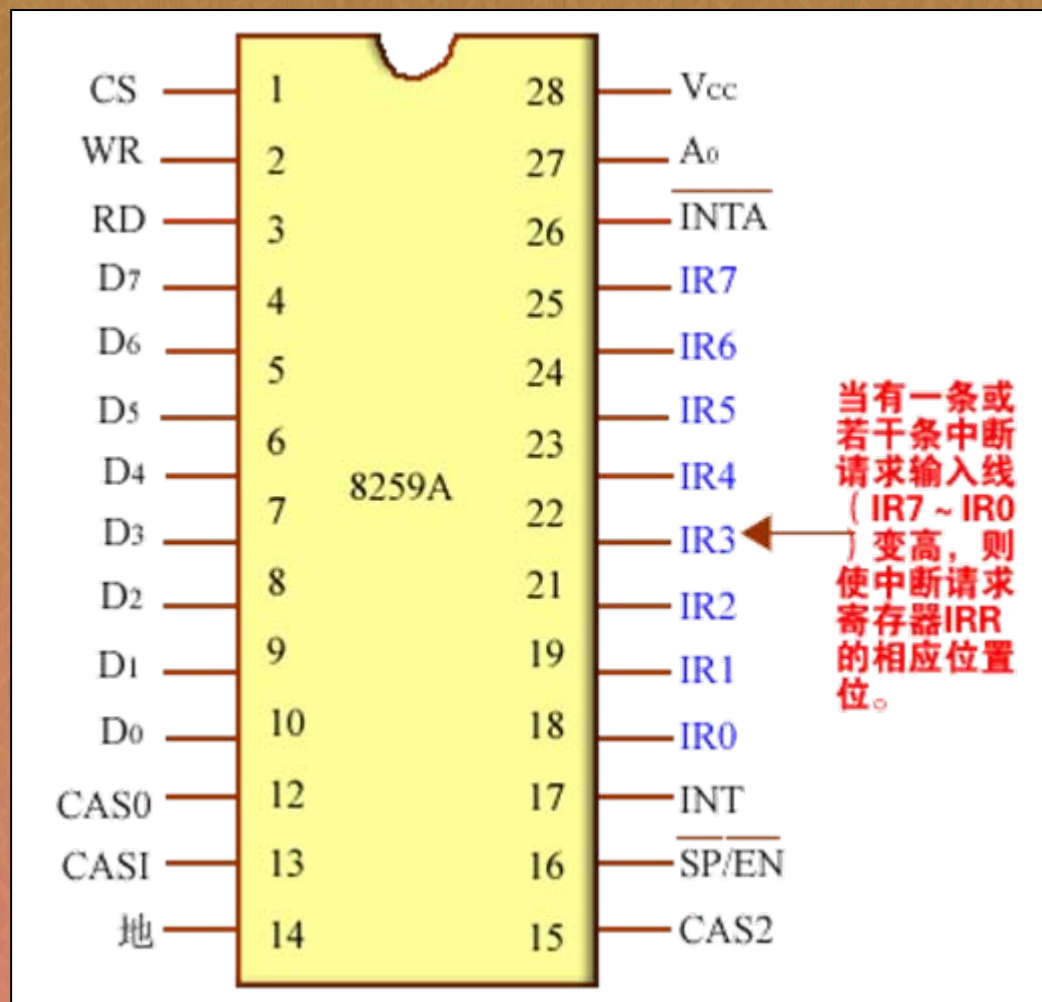
...

2、x86中断系统

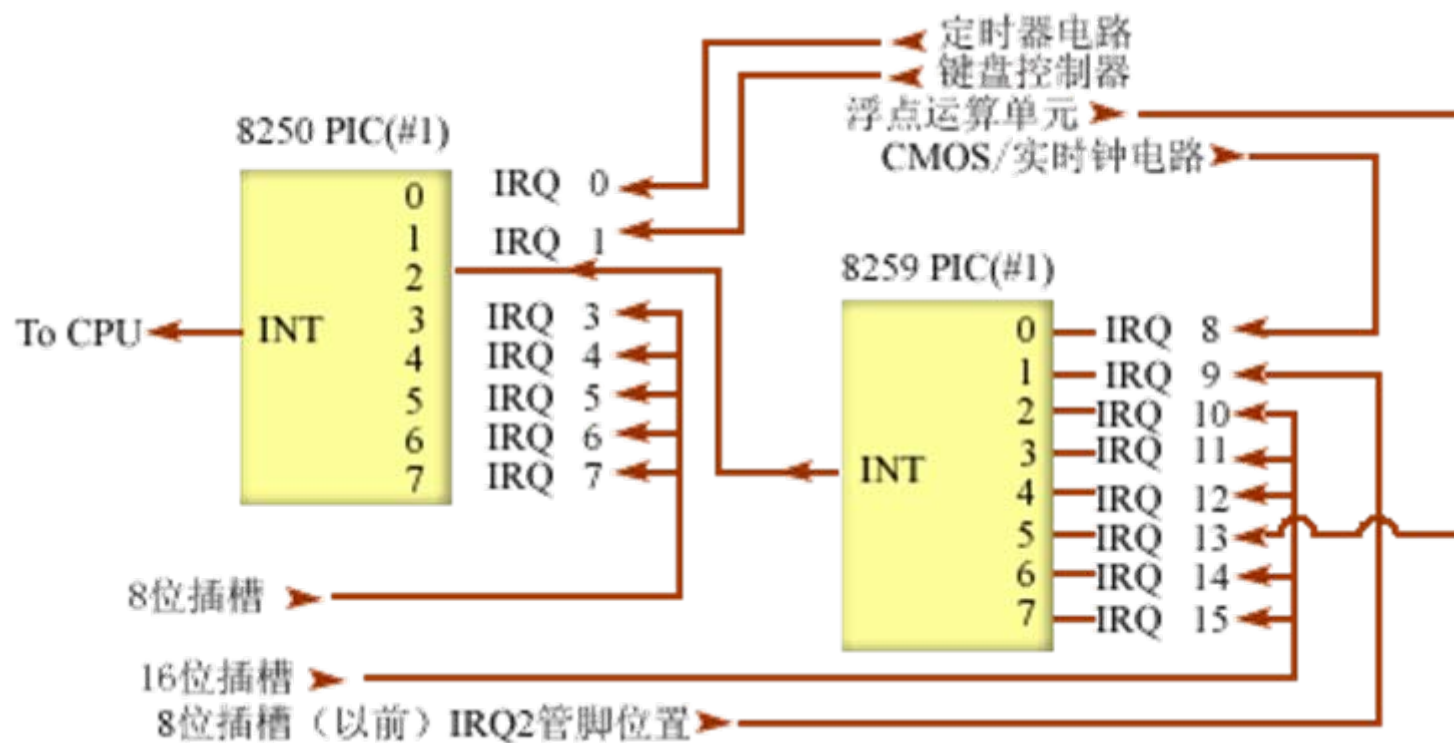
- 1) PIC
- 2) APIC
- 3) MSI

3、PIC

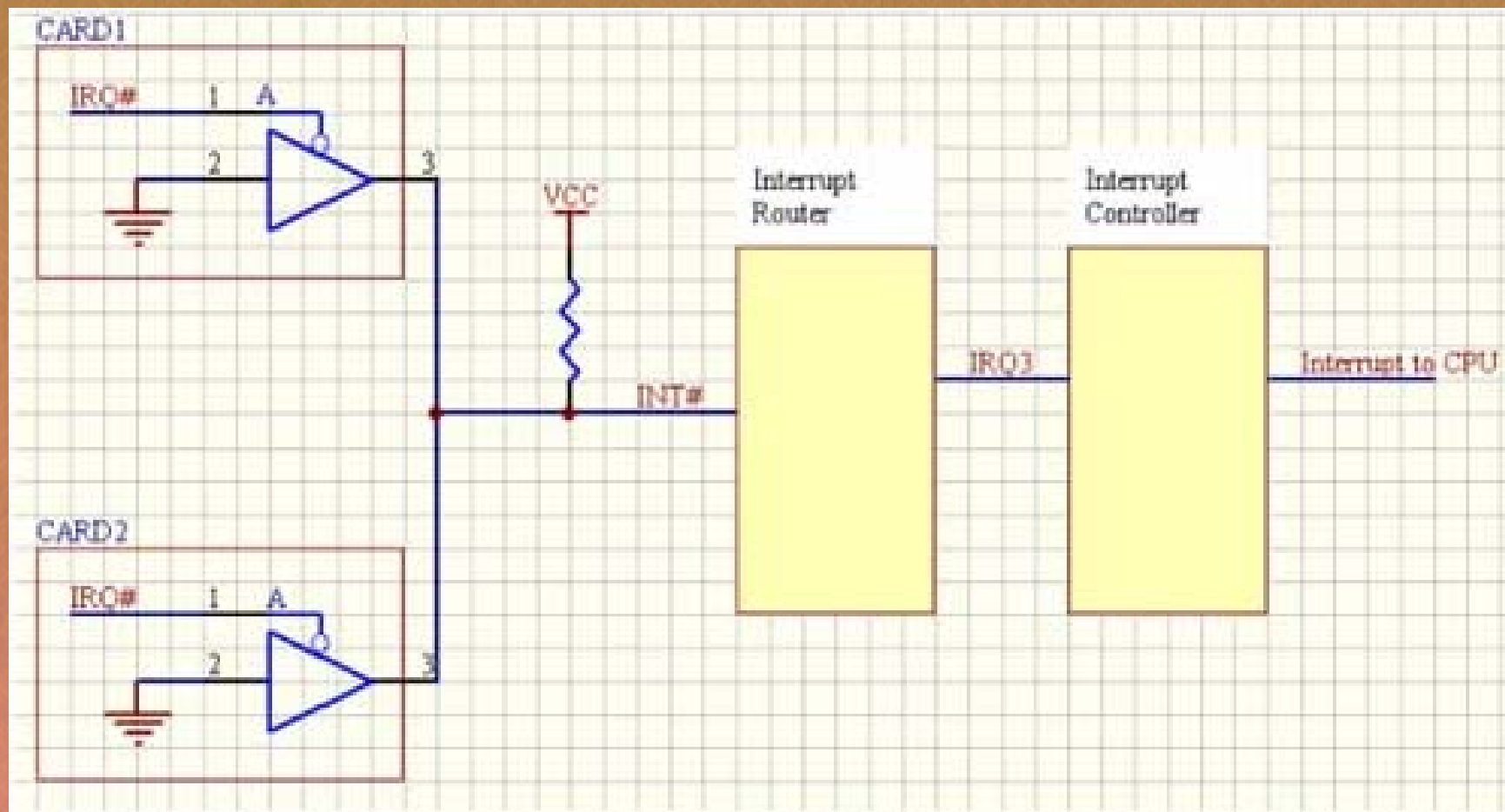
8259中断控制器

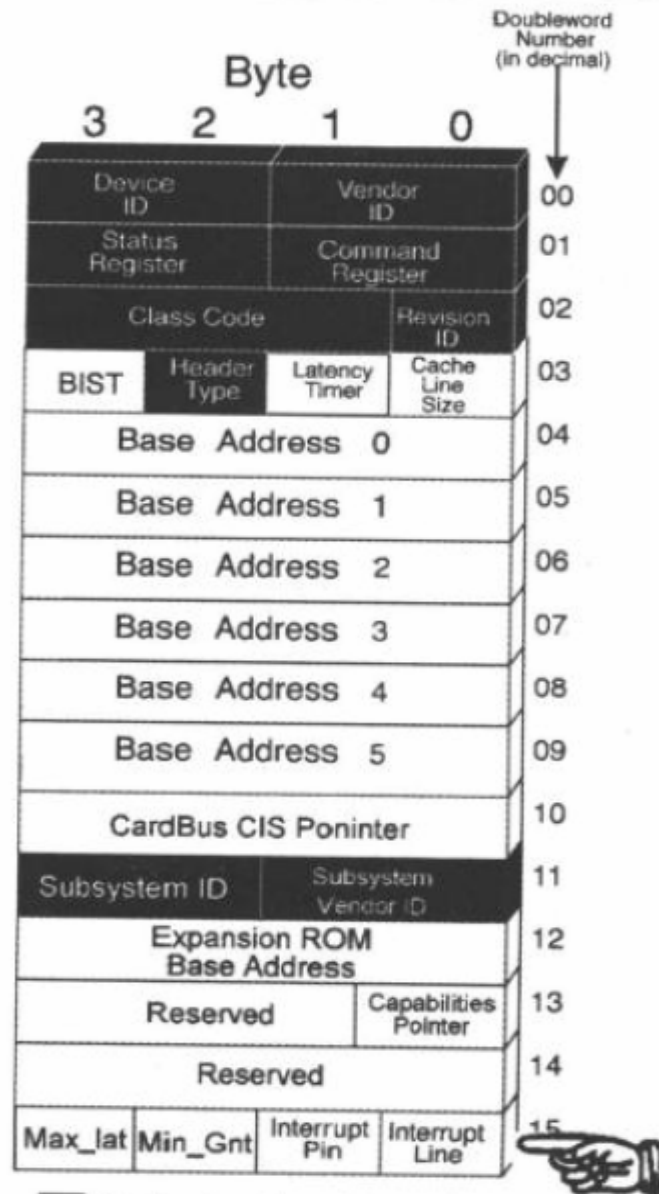


两片级联的8259



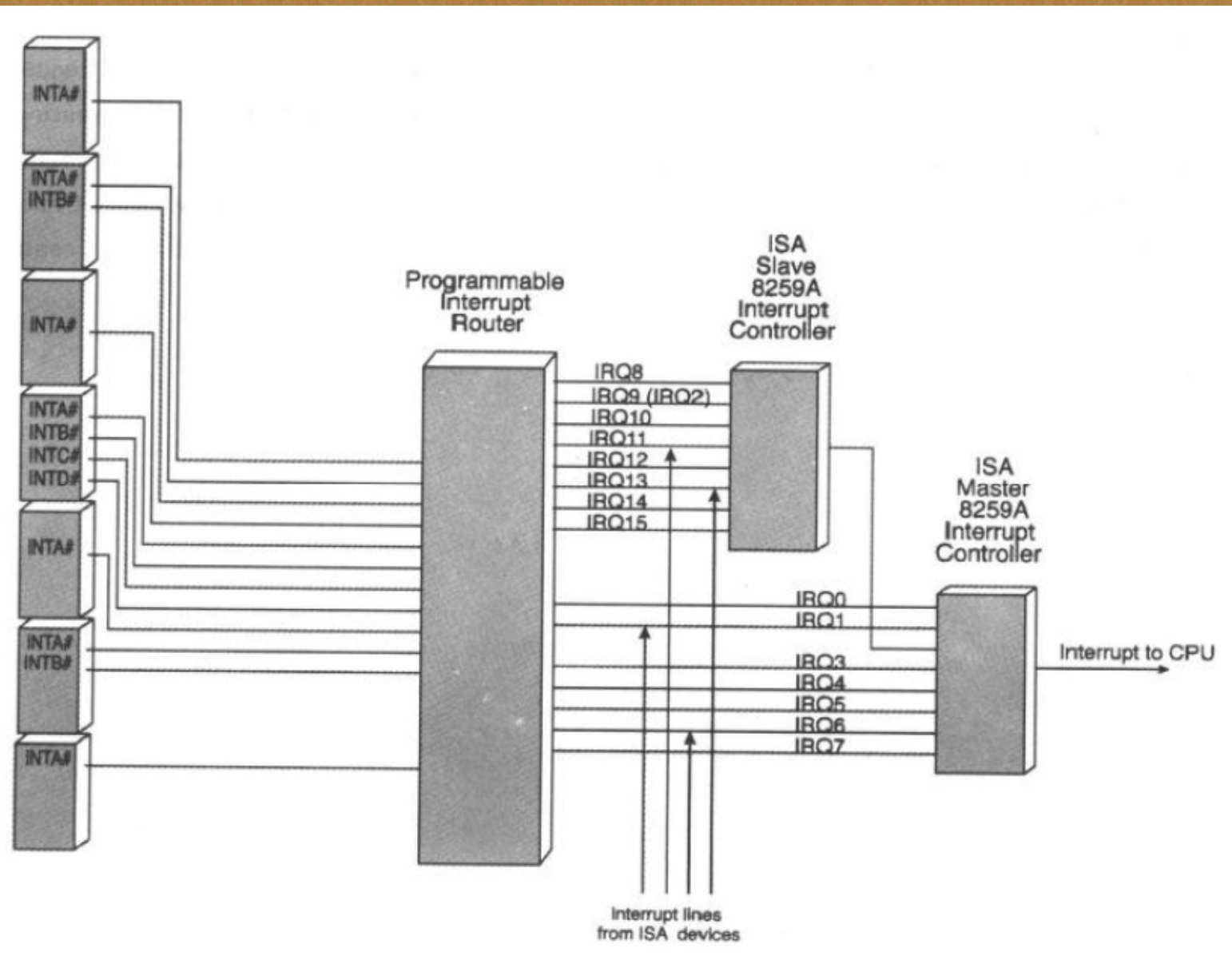
中断共享



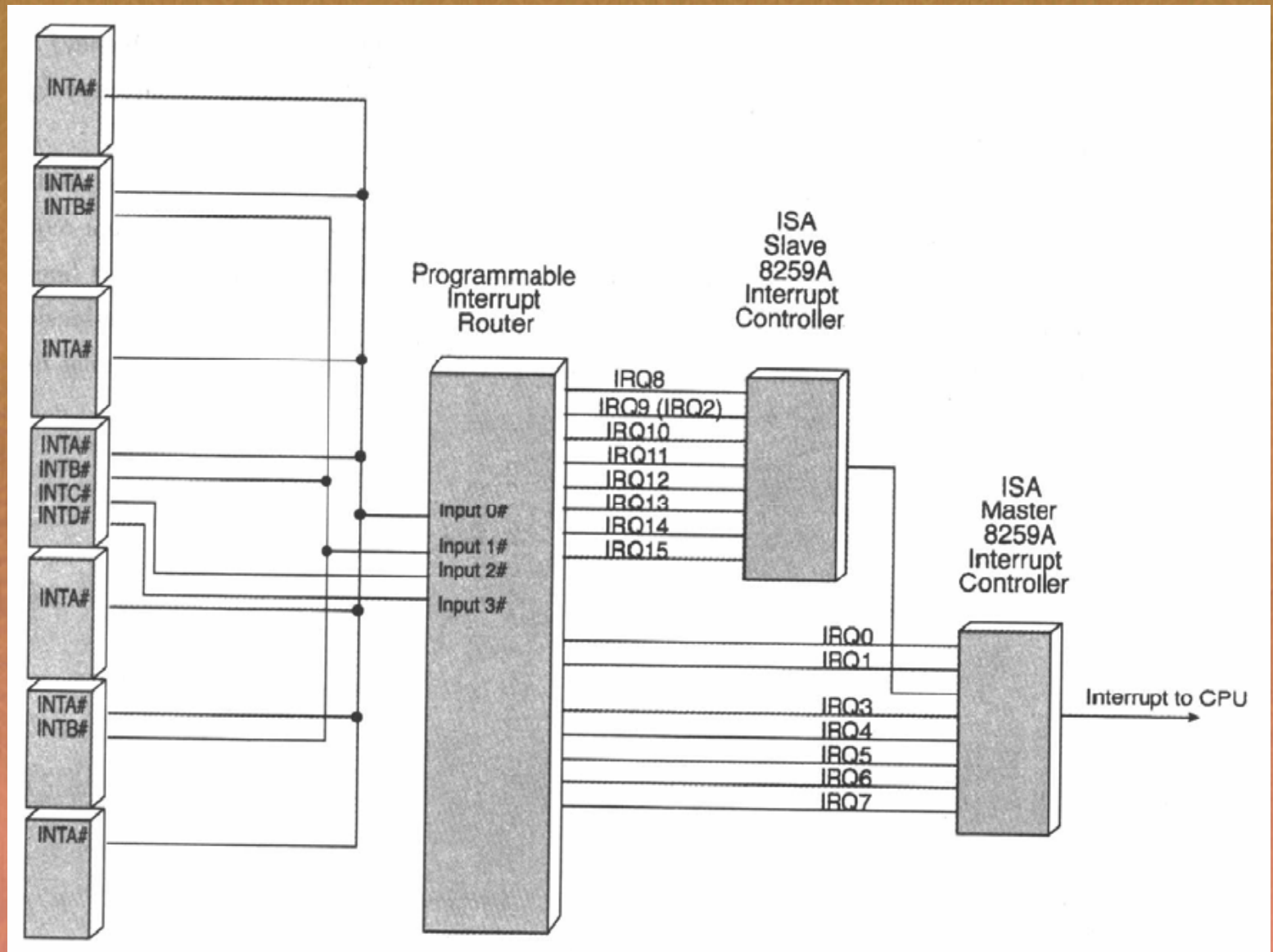


 Required configuration registers

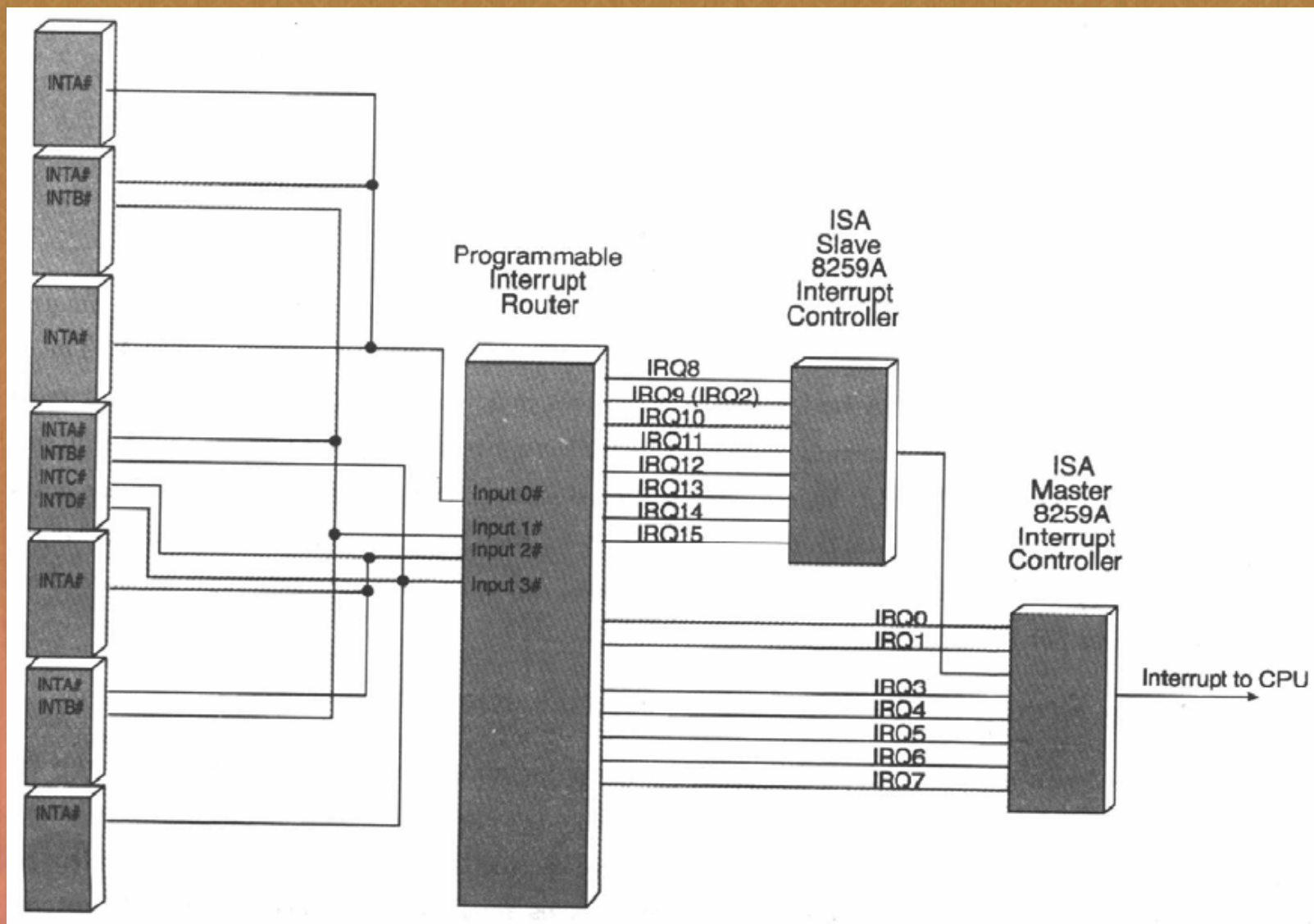
一种PIC 中断布局



一种PIC 中断布局

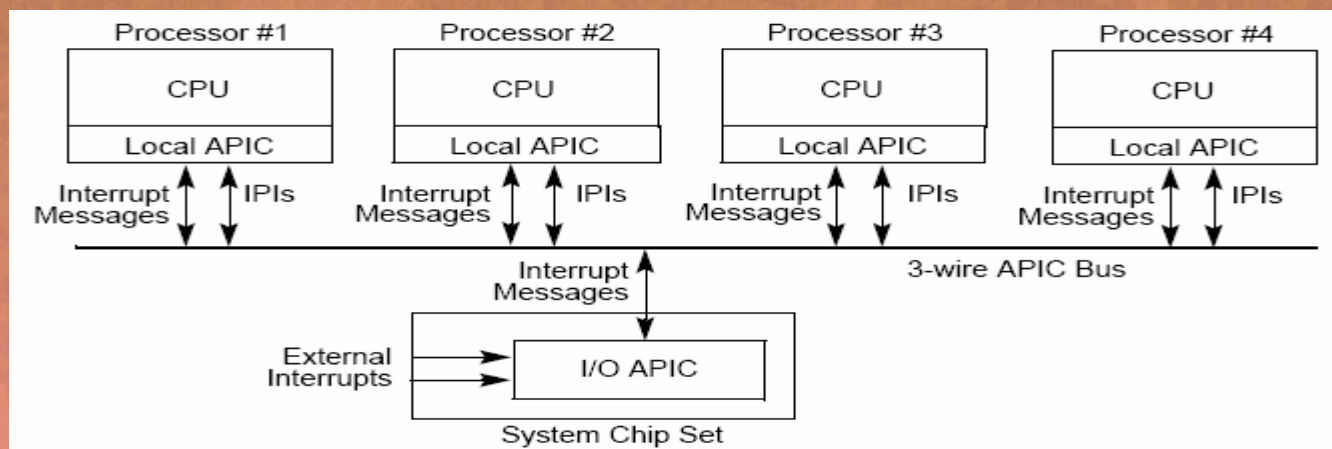
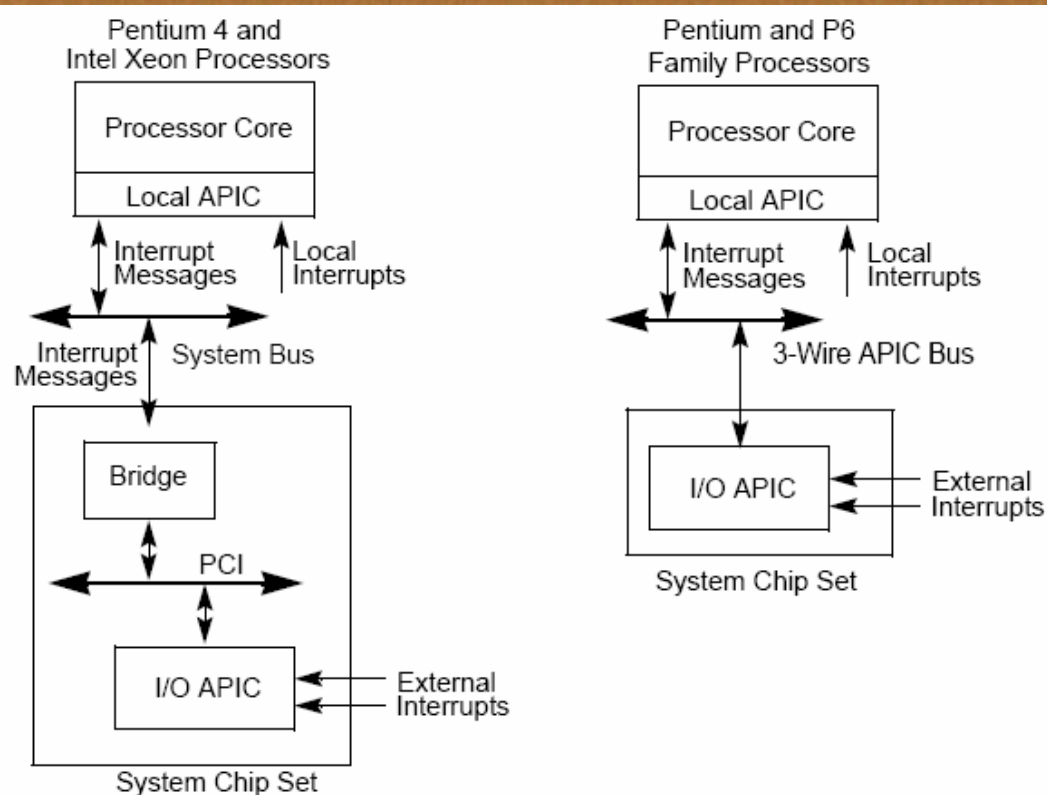


一种PIC 中断部局

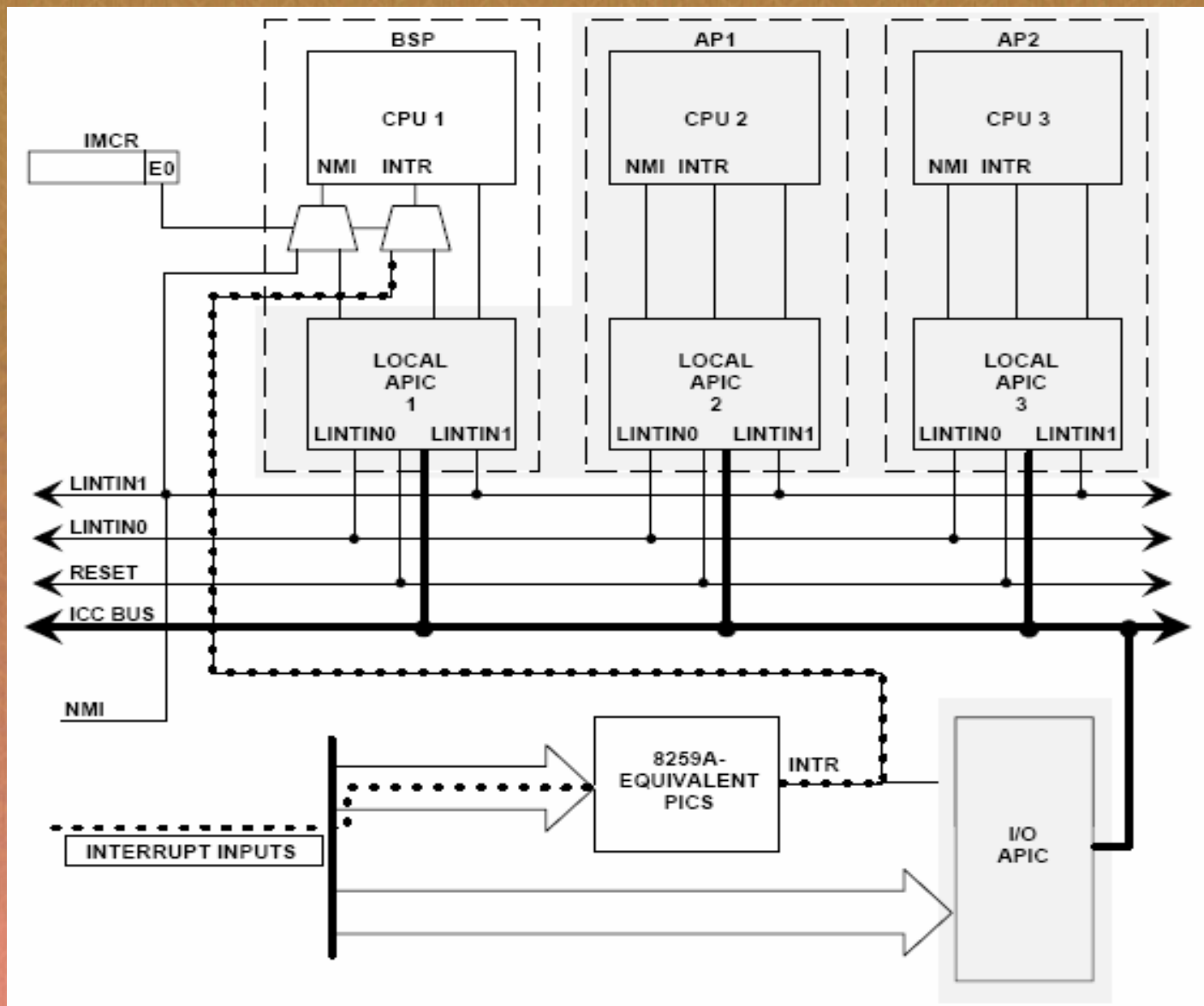


4、APIC

APIC最
重要的是
加入多处
理器支持



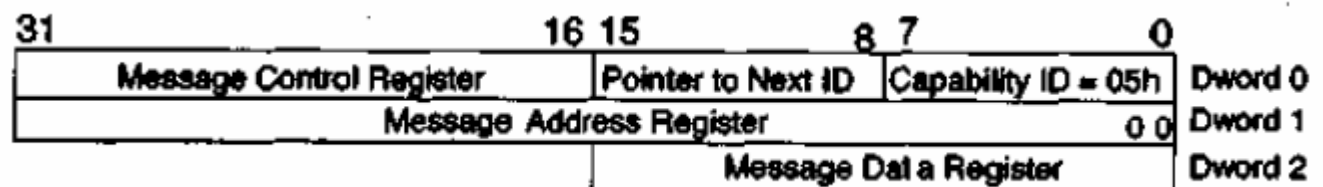
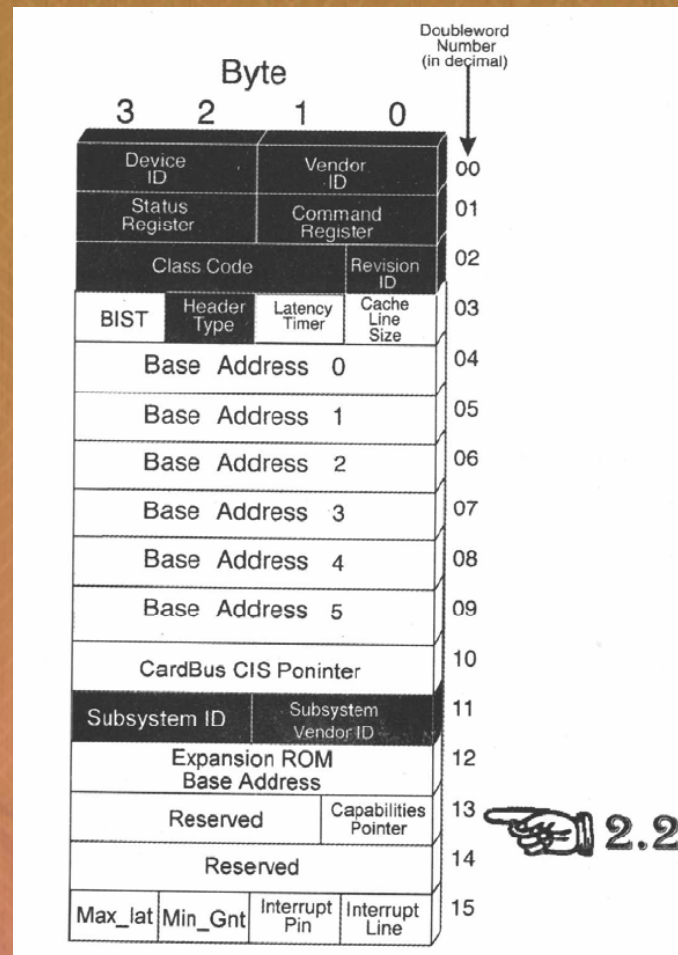
工作在
PIC兼容
模式下的
APIC计算机



5、MSI

MSI是非共享的, Host会将MSI中断翻译成Local APIC中断消息。

未来中断系统:
SAPIC?
XMSI?



大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

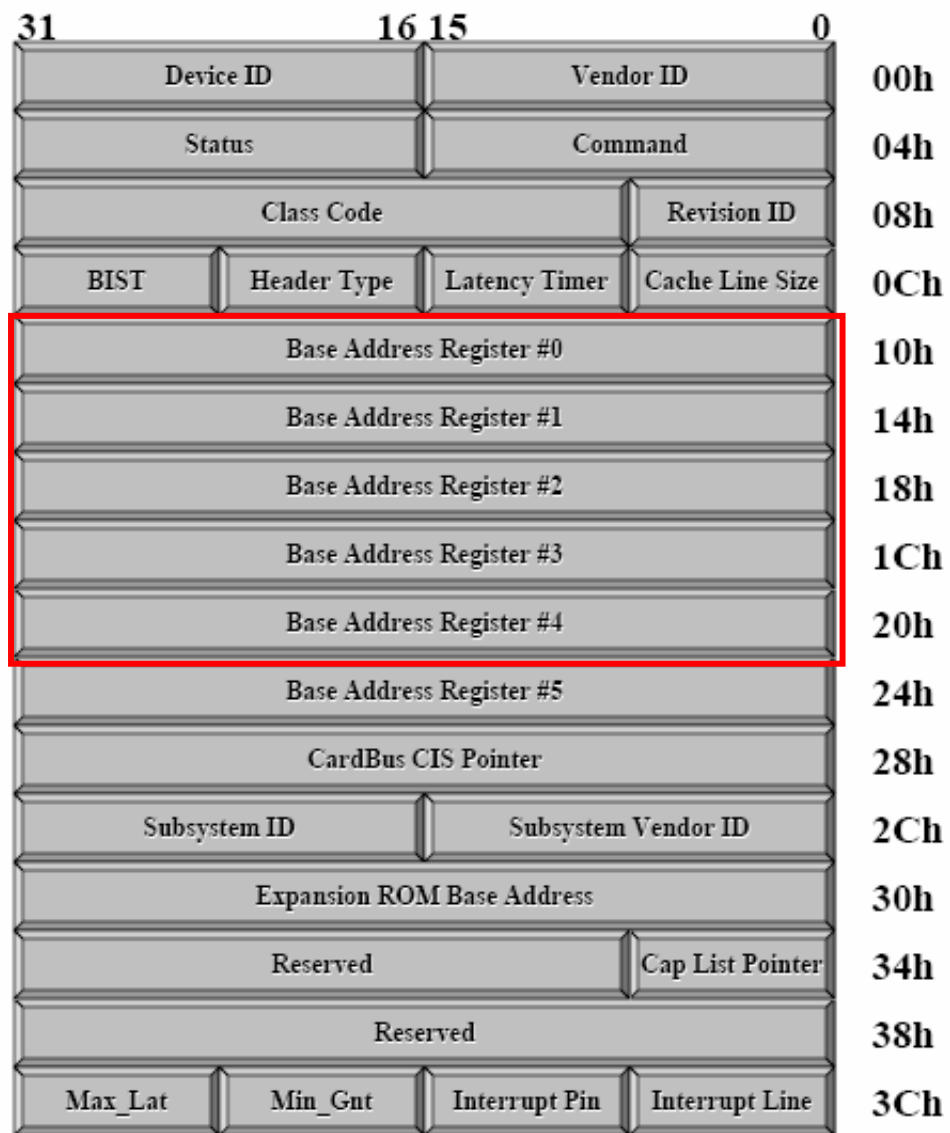
六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

六、PCI总线Memory和IO

BAR

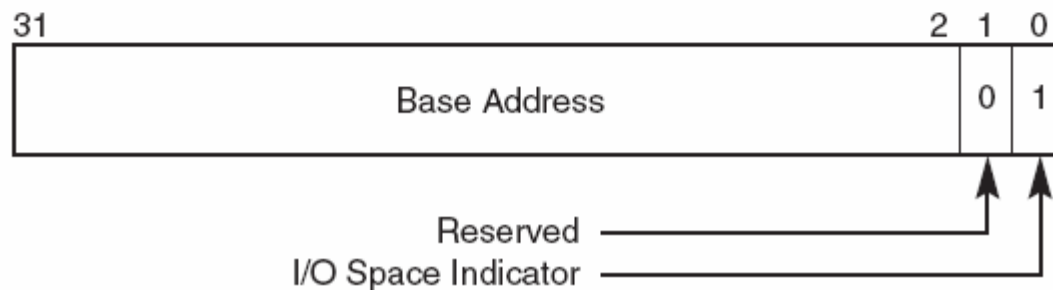
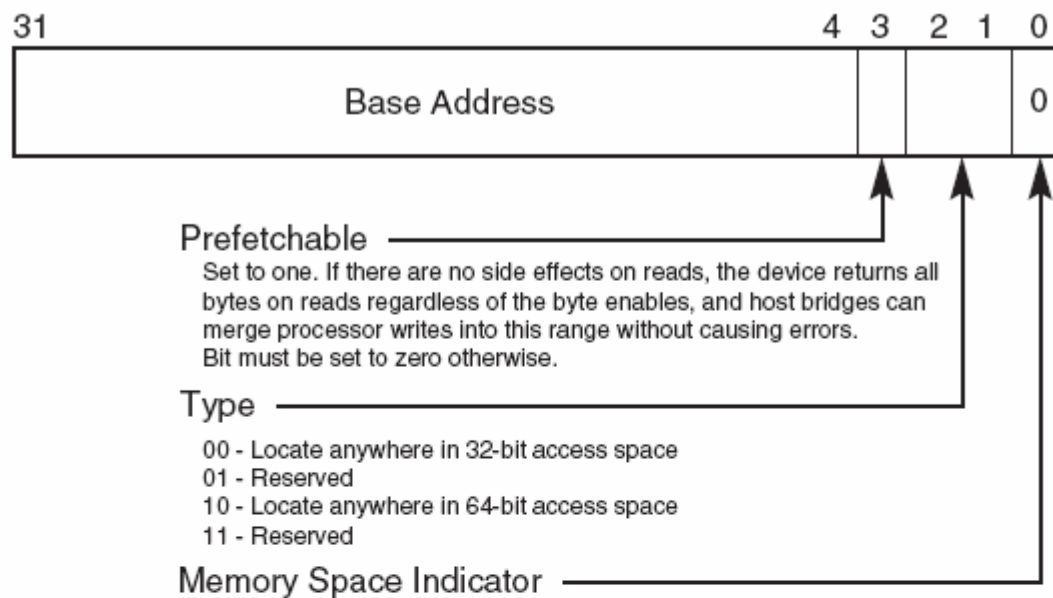


判断是否有解码地址

- 1) 向基地址寄存器全写1
- 2) 读回刚写的基地器
- 3) 如果全返回1, 则无地址空间(MEM/IO)解码
- 4) 如有非1值, 代表有解码地址空间(MEM/IO)

地址解码宽度

基地址寄存器格式



大纲

一、总线和PCI系统总线简介

二、PCI总线信号

三、PCI总线操作简介

四、PCI总线配置

五、PCI总线中断系统

六、PCI总线Memory和IO

七、PCI ROM

八、PCI to PCI桥

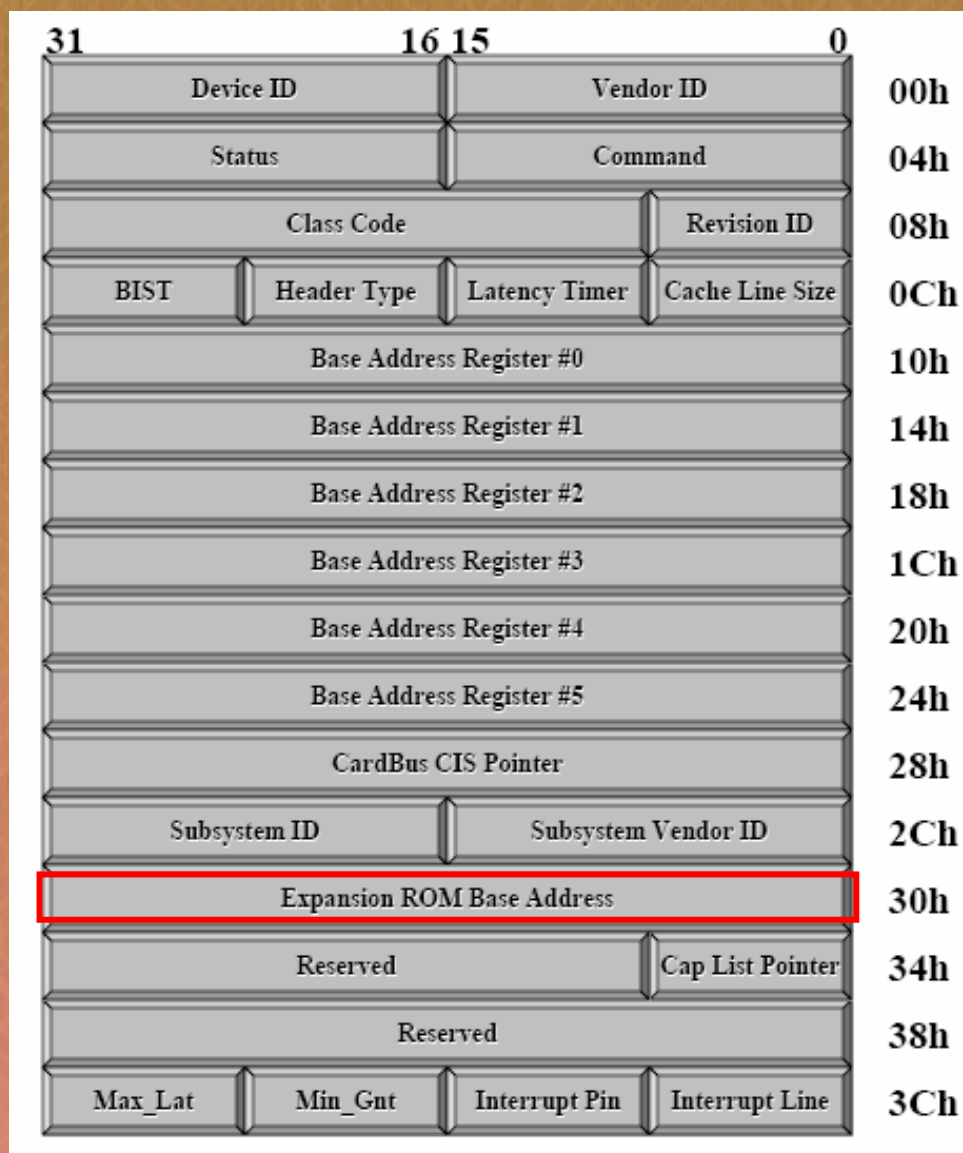
七、PCI ROM

PCI ROM的作用

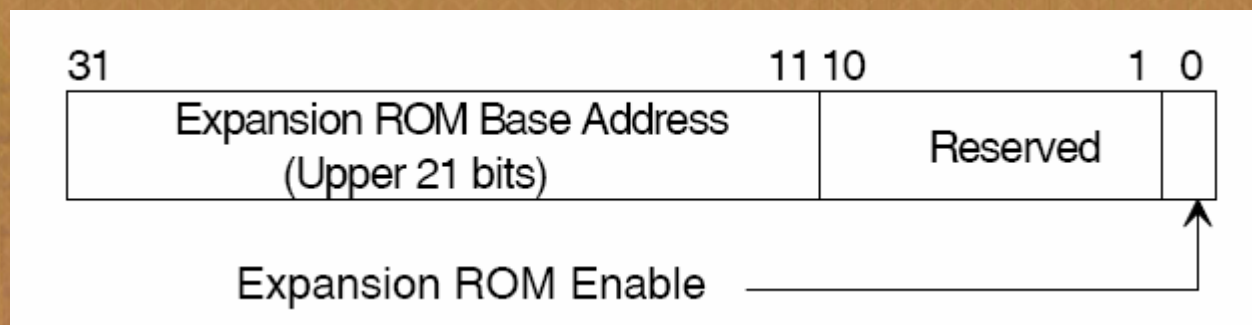
- 1) 装载OS的大容量存储器, 如一些SCSI硬盘
- 2) 在引导过程中能够显示运行信息的显示适配3器, 通常称为输出设备
- 3) 在引导过程中与用户交互的键盘, 通常称为输入设备
- 4) 在POST过程中, 这些设备的驱动必须由ROM提供

在配置寄存器中的位置如右图：

ROM在系统中是当作一个普通的Memory资源记录



PCI ROM基址格式



Bit 0是使能控制位

Bit[31:1]是译码器宽度确定以及初始值编程位

从这个寄存器只能判断ROM地址译码器的存在, 具体ROM存在与否是靠ROM的具体内容判断

PCI ROM 特点

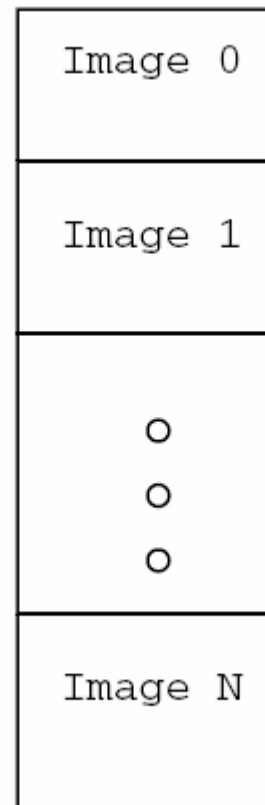
系统只会访问一次ROM

ROM的运行必须拷贝到C000H—F000H段

PCI spec规定ROM的最大值是16M

PCI ROM的规范数据结构

采用的是多段结构



一个代码段的格式

ROM首部

ROM数据结构

实时代码

初始化代码

ROM的首部格式

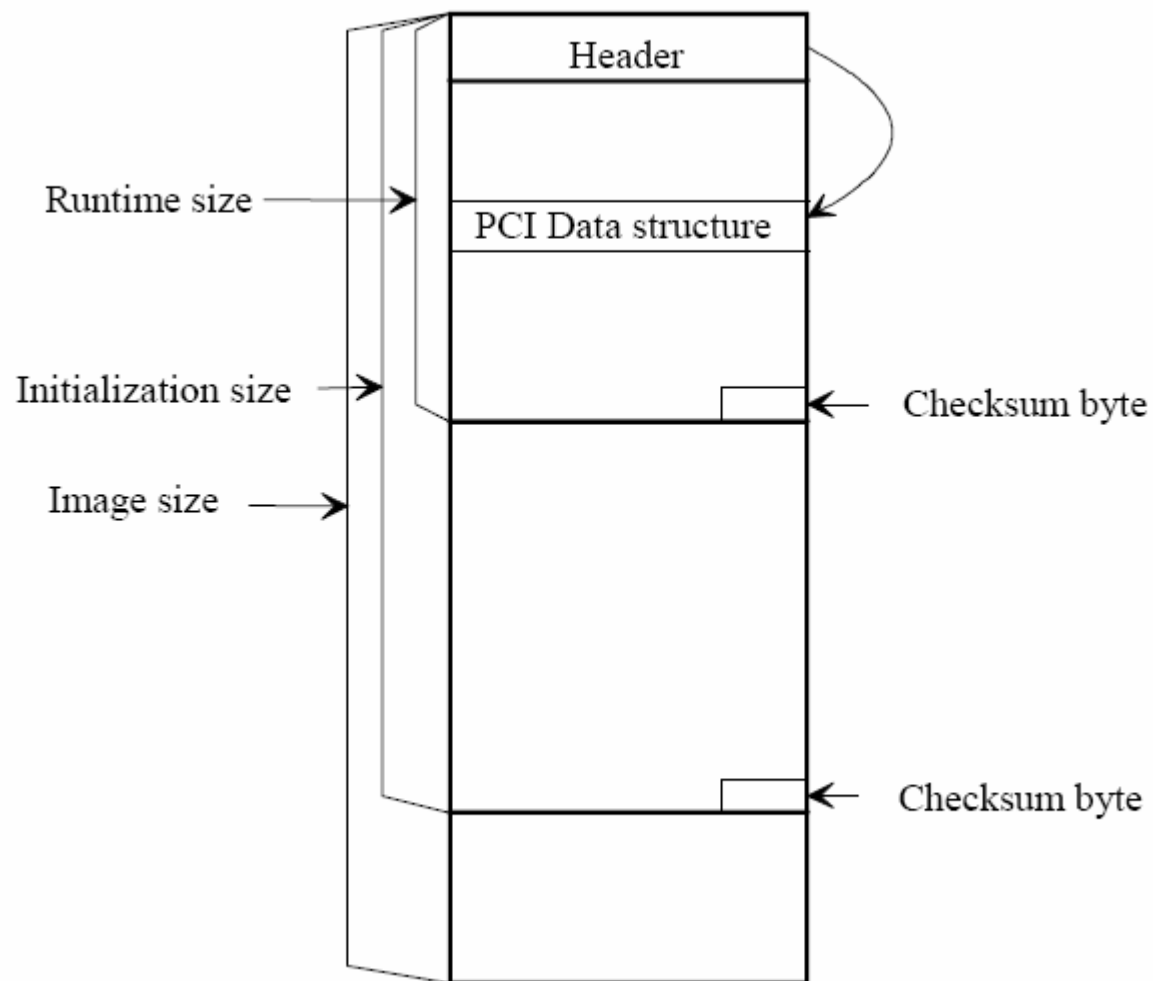
Offset	Length	Value	Description
0h	1	55h	ROM Signature byte 1
1h	1	AAh	ROM Signature byte 2
2h	1	xx	Initialization Size - size of the code in units of 512 bytes
3h	3	xx	Entry point for INIT function. POST does a FAR CALL to this location.
6h-17h	12h	xx	Reserved (application unique data)
18h-19h	2	xx	Pointer to PCI Data Structure

ROM数据结构

The PCI Data Structure must be located within the first 64 KB of the ROM image and must be DWORD aligned. The PCI Data Structure contains the following information:

Offset	Length	Description
0	4	Signature, the string "PCIR"
4	2	Vendor Identification
6	2	Device Identification
8	2	Reserved
A	2	PCI Data Structure Length
C	1	PCI Data Structure Revision
D	3	Class Code
10	2	Image Length
12	2	Revision Level of Code/Data
14	1	Code Type
15	1	Indicator
16	2	Reserved

一个段的格式图



PCI ROM POST初始化过程

The PC-compatible specific set of steps for the system POST code when handling each expansion ROM are:

1. Map and enable the expansion ROM to an unoccupied area of the memory address space.
2. Find the proper image in the ROM and copy it from ROM into the compatibility area of RAM (typically 0C0000h to 0DFFFFh) using the number of bytes specified by Initialization Size.
3. Disable the Expansion ROM Base Address register.
4. Leave the RAM area writable and call the INIT function.
5. Use the byte at offset 02h (which may have been modified) to determine how much memory is used at runtime.

大纲

- 一、总线和PCI系统总线简介
- 二、PCI总线信号
- 三、PCI总线操作简介
- 四、PCI总线配置
- 五、PCI总线中断系统
- 六、PCI总线Memory和IO
- 七、PCI ROM
- 八、PCI to PCI桥

八、PCI to PCI桥

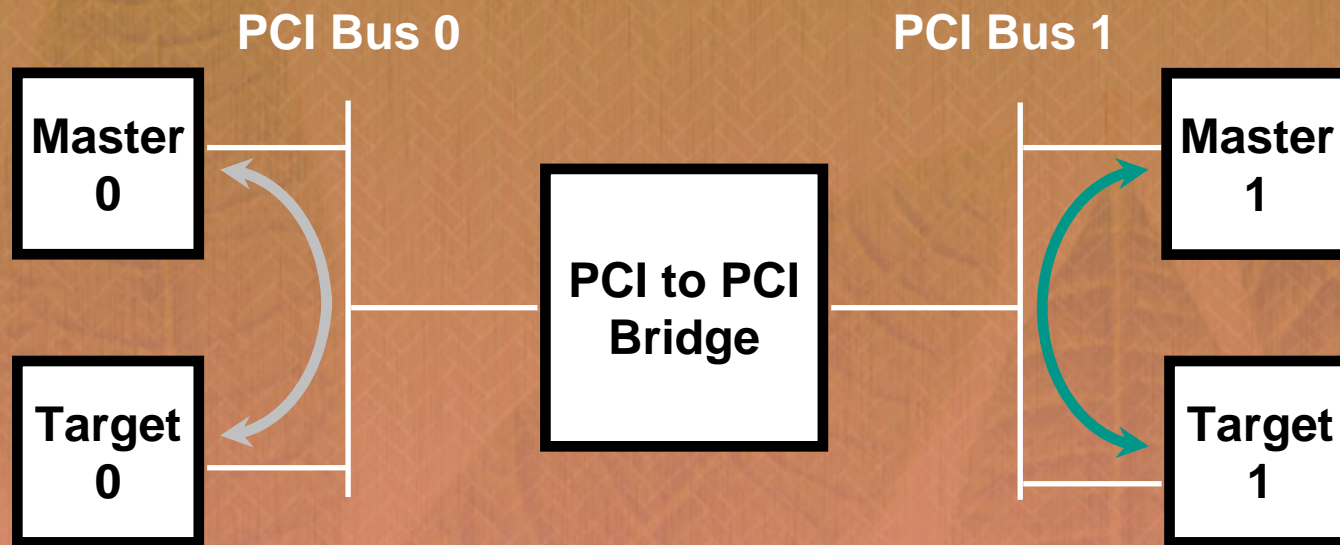
单总线

Device以及Function号有限

单条总线的电气负载有限

设备争用一条总线，降低了设备的性能。

多总线

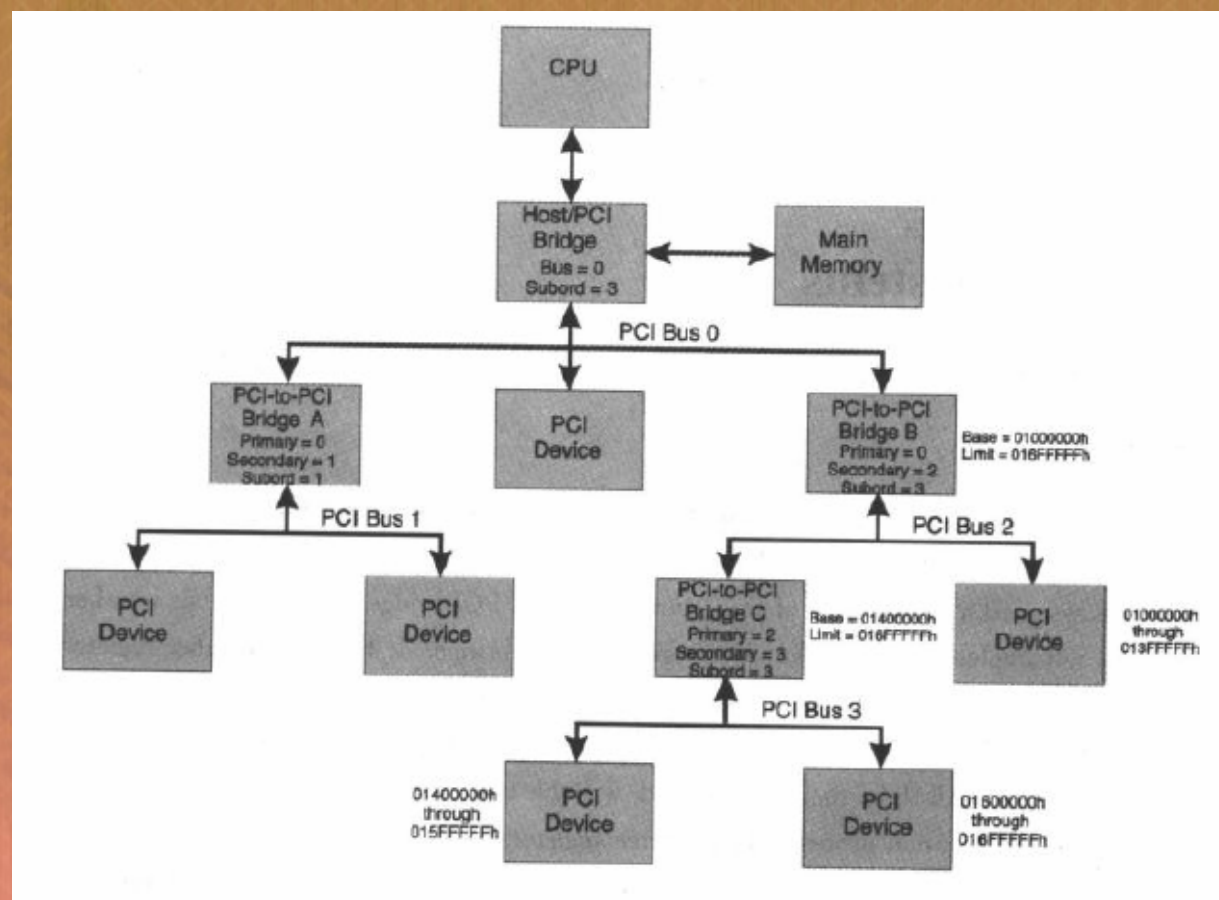


类型1: PCI to PCI桥配置空间首部

31	24	23	16	15	8	7	0	
Device ID				Vendor ID				00 h
Status				Command				04h
Class Code						Revision ID		08h
BIST	Header Type		Primary Latency Timer		Cacheline Size			0Ch
Base Address Register 0								10h
Base Address Register 1								14h
Secondary Latency Timer	Subordinate Bus Number		Secondary Bus Number		Primary Bus Number			18h
Secondary Status			I/O Limit		I/O Base			1Ch
Memory Limit			Memory Base					20h
Prefetchable Memory Limit			Prefetchable Memory Base					24h
Prefetchable Base Upper 32 Bits								28h
Prefetchable Limit Upper 32 Bits								2Ch
I/O Limit Upper 16 Bits			I/O Base Upper 16 Bits					30h
Reserved						Capabilities Pointer		34h
Expansion ROM Base Address								38h
Bridge Control			Interrupt Pin		Interrupt Line			3Ch

PCI-to-PCI Bridge Configuration Registers

一种PCI总线部局



基本交易过滤相关寄存器

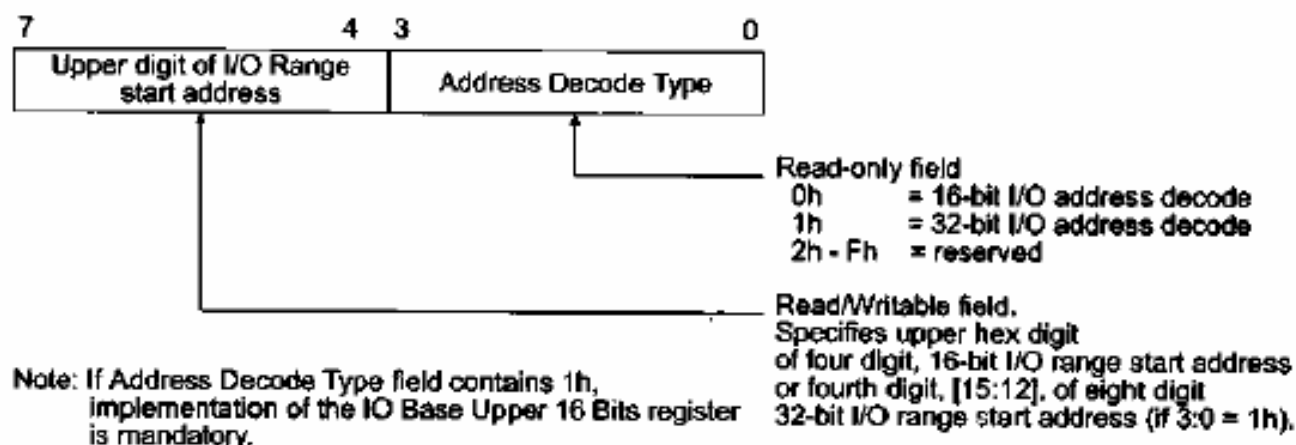
31	24	23	16	15	8	7	0	
Device ID				Vendor ID				00 h
Status				Command				04h
Class Code						Revision ID		08h
BIST	Header Type		Primary Latency Timer		Cacheline Size			0Ch
Base Address Register 0								10h
Base Address Register 1								14h
Secondary Latency Timer	Subordinate Bus Number		Secondary Bus Number		Primary Bus Number			18h
Secondary Status			I/O Limit		I/O Base			1Ch
Memory Limit			Memory Base					20h
Prefetchable Memory Limit			Prefetchable Memory Base					24h
Prefetchable Base Upper 32 Bits								28h
Prefetchable Limit Upper 32 Bits								2Ch
I/O Limit Upper 16 Bits			I/O Base Upper 16 Bits					30h
Reserved						Capabilities Pointer		34h
Expansion ROM Base Address								38h
Bridge Control			Interrupt Pin		Interrupt Line			3Ch

PCI-to-PCI Bridge Configuration Registers

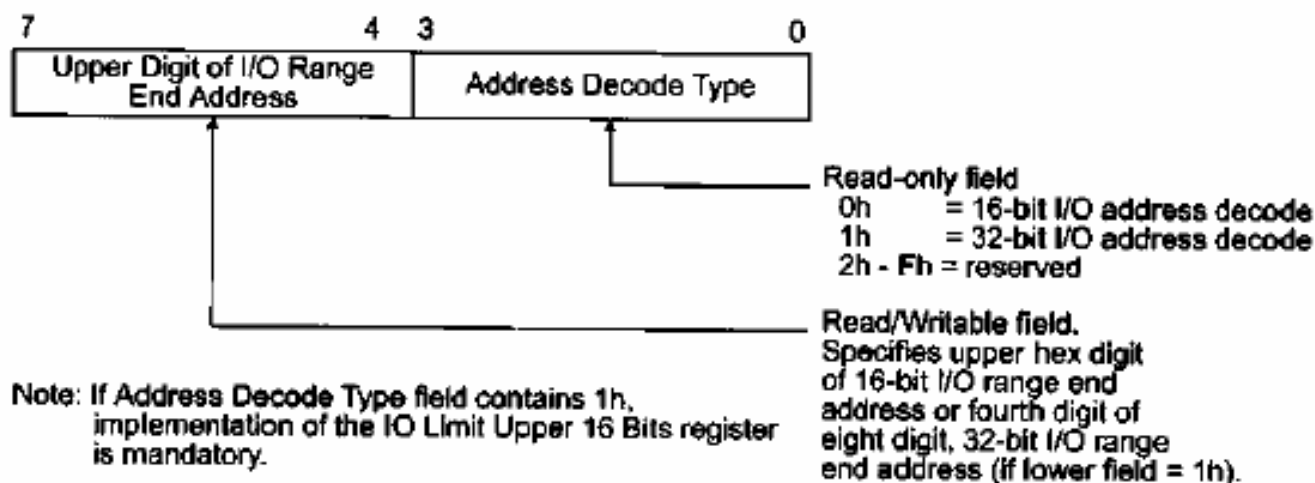
IO基地址和IO限制寄存器

低四位为IO地址标识位

Register Bits [3::0]	I/O Addressing Capability
00h	16 bit I/O addressing
01h	32 bit I/O addressing
02h - 0Fh	reserved



IO 基寄存器



IO 限制寄存器

IO过滤举例

假定IO基寄存器被设为20h,限制寄存器被设为30h。
则声明2000h到3FFF范围内的IO地址过滤规则

只要桥在上级总线上检测到一个地址在2000h至3FFFh范围内的IO交易,桥将声明交易,并将其传送通过。

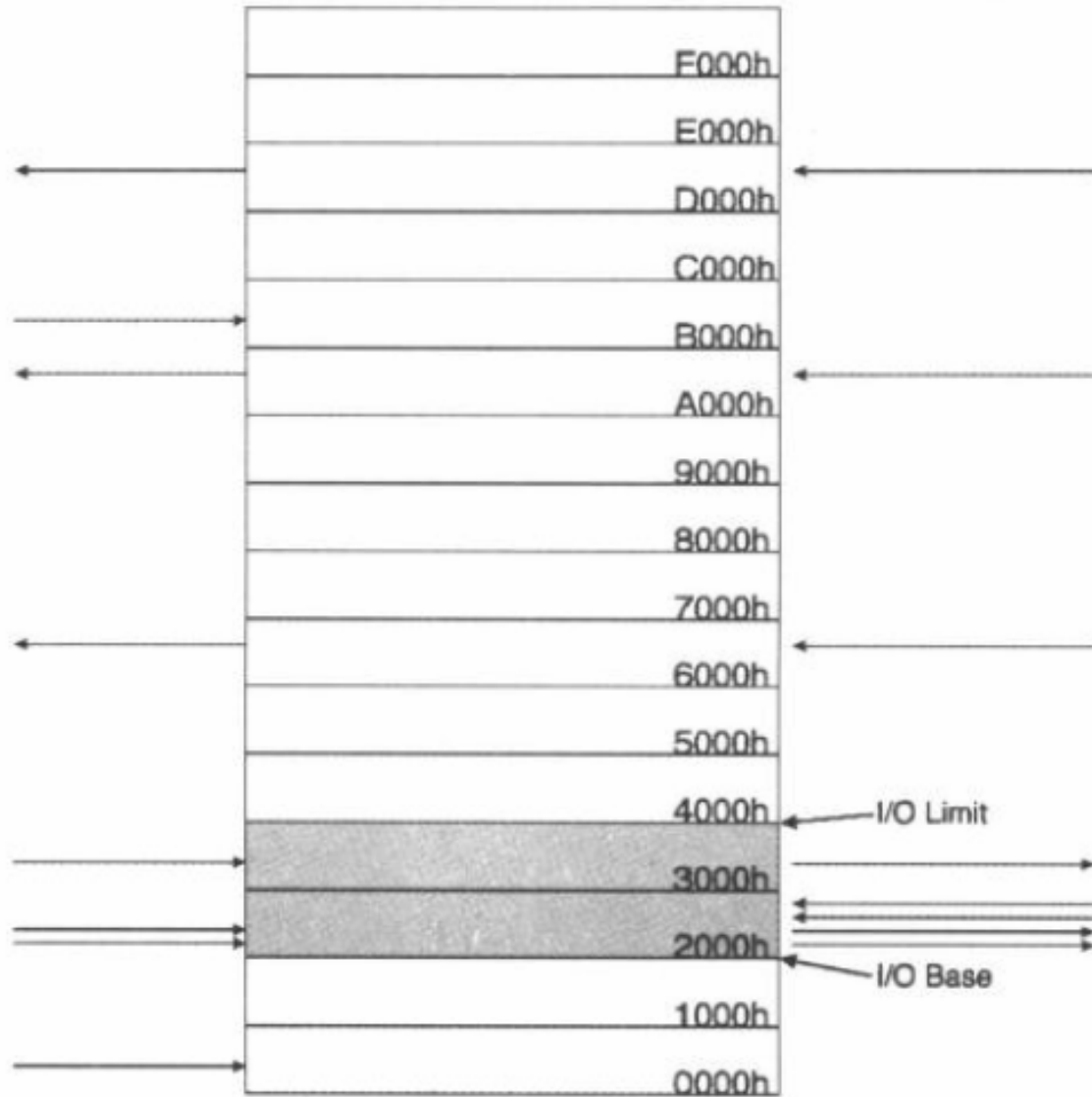
只要桥在上级总线上检测到一个地址在2000h至3FFFh范围以外的IO交易,桥将忽略该交易。

只要桥在下端总线上检测到一个地址在2000h至3FFFh范围之内的IO交易,桥将忽略该交易。

只要桥在下端总线上检测到一个地址在2000h至3FFFh范围以外IO交易,桥将声明交易并传送通过至上端总线。

Primary Side

Secondary Side



THE ENS

易祝兵

<http://www.biniyi.com>

biniyi@msn.com